

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-278998

(43)Date of publication of application : 22.10.1996

(51)Int.Cl.

G06F 17/50

(21)Application number : 07-082871

(71)Applicant : FUJITSU LTD

(22)Date of filing : 07.04.1995

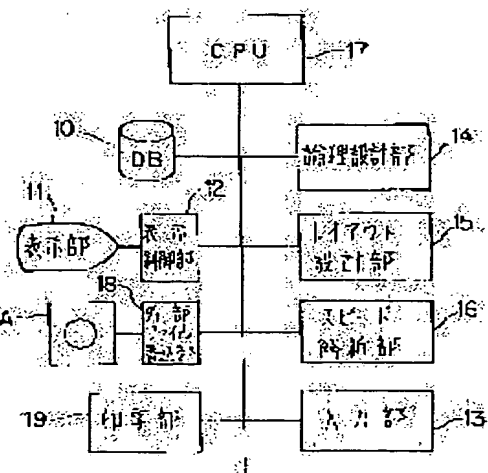
(72)Inventor : YASUDA MITSURU
 SUGIYAMA HIROYUKI
 ITO NORIYUKI
 YAMASHITA RYOICHI
 KONNO TADASHI
 ABE TAISUKE
 BIZEN NAOMI
 MARUYAMA AKIYASU
 KATO YOSHIYUKI
 ISOMURA TOMOYUKI
 IKEDA HIROSHI
 TAKAGI YOSHINORI

(54) INTERACTIVE CIRCUIT DESIGNING DEVICE

(57)Abstract:

PURPOSE: To facilitate and speed up a circuit designing process while greatly lightening the burden on a designer as to the interactive circuit designing device which designs an integrated circuit such as an LSI and the circuit of a printed board on a conversation basis while displaying the circuit designing process at the display part of a display, etc.

CONSTITUTION: This device is equipped with a speed analysis part 16 which calculates delay by wiring paths on a circuit to be designed and a display control part 12 which displays the delay calculation results fo the speed analysis part 16 at the display part 11. Then when the speed analysis part 16 performs the delay calculation, delay values of respective logic constitution elements forming the circuit to be designed are set and varied according to the rounding of a signal waveform inputted to the logic constituent elements.



BEST AVAILABLE COPY

LEGAL STATUS

[Date of request for examination]

20.10.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3351651

[Date of registration] 20.09.2002

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平8-278998

(43)公開日 平成8年(1996)10月22日

(51)Int.Cl.⁹

識別記号

庁内整理番号

F I

技術表示箇所

G 0 6 F 17/50

G 0 6 F 15/60

6 5 8 C

6 5 8 U

審査請求 未請求 請求項の数47 O L (全 48 頁)

(21)出願番号 特願平7-82871

(22)出願日 平成7年(1995)4月7日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72)発明者 安田 満

神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(72)発明者 杉山 広行

神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(74)代理人 弁理士 真田 有

最終頁に続く

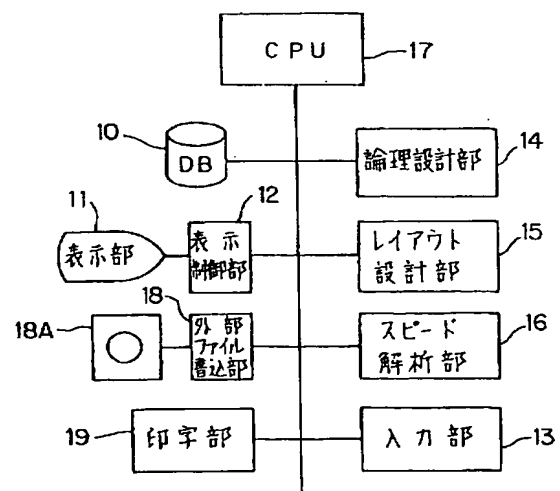
(54)【発明の名称】 会話型回路設計装置

(57)【要約】

【目的】 本発明は、L S I等の集積回路やプリント基板の回路設計を、その回路設計過程をディスプレイ等の表示部に表示しながら会話形式で行なう会話型回路設計装置に関し、設計者に対する負担を大幅に軽減しながら、回路設計処理を簡易化かつ高速化することを目的とする。

【構成】 設計対象回路上の各配線バス毎にディレイ計算を行なうスピード解析部16と、このスピード解析部16によるディレイ計算結果を表示部11に表示させる表示制御部12とをそなえ、スピード解析部16によりディレイ計算を行なう際に、設計対象回路を成す各論理構成要素についてのディレイ値を、当該論理構成要素に入力される信号波形の鈍りに応じて設定変更するように構成する。

本発明の一実施例としての会話型回路設計装置の構成を示すブロック図



1

【特許請求の範囲】

【請求項 1】 回路設計を会話形式で行なうべく、回路設計過程を表示する表示部と、該表示部上の表示データに対する応答情報や該回路設計に必要な情報を入力する入力部とを有してなる会話型回路設計装置において、設計対象回路上の各配線バス毎にディレイ計算を行なう

スピード解析部と、
該スピード解析部によるディレイ計算結果を該表示部に表示させる表示制御部とをそなえ、

該スピード解析部によりディレイ計算を行なう際に、該設計対象回路を成す各論理構成要素についてのディレイ値が、当該論理構成要素に入力される信号波形の鈍りに応じて設定変更されることを特徴とする、会話型回路設計装置。

【請求項 2】 回路設計を会話形式で行なうべく、回路設計過程を表示する表示部と、該表示部上の表示データに対する応答情報や該回路設計に必要な情報を入力する入力部とを有してなる会話型回路設計装置において、設計対象回路についての論理設計を行なう論理設計部と、

該論理設計部による論理設計結果に基づいて、該設計対象回路を成す各論理構成要素の実装的な配置を行なった後、各論理構成要素間の配線を行なうレイアウト設計部と、

該設計対象回路上の各配線バス毎にディレイ計算を行なうスピード解析部と、

該論理設計部による論理設計結果、該レイアウト設計部による配置／配線結果および該スピード解析部によるディレイ計算結果を該表示部に表示させる表示制御部とをそなえ、

該論理設計部、該レイアウト設計部および該スピード解析部が、随時、相互に連係可能に接続されるとともに、該論理設計部による論理設計後で該レイアウト設計部により前記の各論理構成要素の実装的な配置を行なう前に、該スピード解析部が、前記の各論理構成要素間のディレイ値を予め設定された経験的ディレイ値に基づいて見積もりながら、該設計対象回路の配線バスについてのディレイ値を予測・算出することを特徴とする、会話型回路設計装置。

【請求項 3】 該レイアウト設計部により前記の各論理構成要素の実装的な配置を行なった後で前記の各論理構成要素間の配線を行なう前に、該スピード解析部が、該設計対象回路の配線バスについてのディレイ値を、接続すべきピン間の最短経路に基づいて見積もって算出することを特徴とする、請求項 2 記載の会話型回路設計装置。

【請求項 4】 該スピード解析部が、該レイアウト設計部による実配線結果に基づいて、該設計対象回路の配線バスについてのディレイ値を算出することを特徴とする、請求項 3 記載の会話型回路設計装置。

2

【請求項 5】 該スピード解析部によりディレイ計算を行なう際に、前記の各論理構成要素についてのディレイ値が、当該論理構成要素に入力される信号波形の鈍りに応じて設定変更されることを特徴とする、請求項 2～請求項 4 のいずれかに記載の会話型回路設計装置。

【請求項 6】 該入力部からの指示により指定した所定ピンに接続される配線バスを、当該ピンからトレースするバストレース部をそなえ、

該バストレース部により配線バスのトレース処理を行なうと同時に、該スピード解析部が、当該配線バスに沿って変化する信号波形の鈍りを算出して当該鈍りに応じた当該配線バス上の論理構成要素のディレイ値を設定しながら、当該配線バスについてのディレイ計算を行なうことを特徴とする、請求項 1 または請求項 5 に記載の会話型回路設計装置。

【請求項 7】 クロック信号が前記の各論理構成要素に供給されるタイミングをチェックするタイミングチェック部をそなえ、
前記の各論理構成要素に対してクロック信号を供給するクロック系が設計済である場合、

該タイミングチェック部によりチェックを行なうべき該クロック系のクロックピンと、当該クロックピンから入力されるクロック信号の初期値および位相とを該入力部から指定し、

該バストレース部が、当該クロックピンから配線バスをトレースして、当該クロックピンに接続される全ての論理構成要素をサーチしながら、

該スピード解析部が、当該クロックピンと当該クロックピンに接続される全ての論理構成要素との間の配線バスについてのディレイ計算を行なってそのディレイ計算結果をクロックバスディレイ値として保存するとともに、該バストレース部によりサーチされた論理構成要素のピンに対して、該論理構成要素が該タイミングチェック部のチェック対象であることを示すフラグを設定しておいてから、

該バストレース部が、サーチされた全ての論理構成要素のクロック入力ピンから配線バスのトレース処理を行ない、そのトレース処理に際して前記フラグを設定されたピンをトレースすると、該タイミングチェック部を起動し、

該タイミングチェック部が、該スピード解析部により算出された当該ピンまでのディレイ値と、前記クロックバスディレイ値と、該入力部から指定された前記クロック信号の初期値および位相とに基づいて、当該ピンの属する論理構成要素についてのクロックタイミングチェックを行なうことを特徴とする、請求項 6 記載の会話型回路設計装置。

【請求項 8】 該入力部からの指示に応じて、該バストレース部によりトレースされた任意のピンに対して所定ディレイ値を設定するディレイ値設定部をそなえ、

該スピード解析部が、該ディレイ値設定部により設定された所定ディレイ値を、当該ピンを通過する配線バスのディレイ値として加算することを特徴とする、請求項 6 または請求項 7 に記載の会話型回路設計装置。

【請求項 9】 クロック信号が前記の各論理構成要素に供給されるタイミングをチェックするタイミングチェック部をそなえ、

前記の各論理構成要素に対してクロック信号を供給するクロック系が未設計である場合、

該設計対象回路を成す論理構成要素の中から、前記クロック系に接続されるクロック入力ピンをもつものを全てサーチするサーチ部をそなえとともに、

該サーチ部によりサーチされた論理構成要素のピンに対して、該論理構成要素が該タイミングチェック部のチェック対象であることを示すフラグを設定しておいてから、

該バストレース部が、サーチされた全ての論理構成要素のクロック入力ピンから配線バスのトレース処理を行ない、そのトレース処理に際して前記フラグを設定されたピンをトレースすると、該タイミングチェック部を起動し、

該タイミングチェック部が、該スピード解析部により算出された当該ピンまでのディレイ値に基づいて、当該ピンの属する論理構成要素についてのクロックタイミングチェックを行なうことを特徴とする、請求項 6 記載の会話型回路設計装置。

【請求項 10】 前記の各論理構成要素のピン毎に、当該ピンが該バストレース部によってトレースされた回数を計数するカウンタをそなえたことを特徴とする、請求項 6 記載の会話型回路設計装置。

【請求項 11】 該表示制御部が、該カウンタにより計数された各ピン毎の計数値に基づく各ピンにおける信号の通過頻度の大小に関する情報を、該表示部に表示させることを特徴とする、請求項 10 記載の会話型回路設計装置。

【請求項 12】 該入力部からの指示に応じて、該バストレース部による配線バスのトレース処理および該スピード解析部によるディレイ計算処理の実行範囲を設定する範囲設定部をそなえ、

該表示制御部が、該範囲設定部により設定された前記実行範囲についての処理結果のみを該表示部に表示させることを特徴とする、請求項 6 記載の会話型回路設計装置。

【請求項 13】 該入力部からの指示によりトレース開始ピンのみを指定した場合には当該トレース開始ピンからのフォワードトレースを実行し、該入力部からの指示によりトレース到達ピンのみを指定した場合には当該トレース到達ピンからのバックワードトレースを実行し、該入力部からの指示によりトレース開始ピンおよびトレース到達ピンの 2 点を指定した場合には該 2 点間のトレ

ースを実行するように、該バストレース部の動作を切替制御するトレース制御部をそなえたことを特徴とする、請求項 6 記載の会話型回路設計装置。

【請求項 14】 該トレース制御部により該バストレース部にバックワードトレースを実行させる際には、そのバックワードトレース終了後に該スピード解析部にディレイ計算を実行させるか否かについてのモードが、該入力部からの指示により設定されることを特徴とする、請求項 13 記載の会話型回路設計装置。

【請求項 15】 該表示制御部が、該バストレース部によるトレース結果および該スピード解析部によるディレイ計算結果をトレース到達ピンのリストとして該表示部に表示させるとともに、

該表示制御部に、該リストの表示状態を、トレース到達ピンのピン名もしくは各トレース到達ピンのディレイ値に応じてソートするソート機能がそなえられていることを特徴とする、請求項 6 記載の会話型回路設計装置。

【請求項 16】 該表示制御部が、該リストを階層的に該表示部に表示させ、

該入力部からの指示により該表示部上の上位階層の情報が選択されると、該表示制御部が、選択された当該上位階層の情報に対応する下位階層の情報を該表示部に表示させることを特徴とする、請求項 15 記載の会話型回路設計装置。

【請求項 17】 該表示制御部により該表示部に表示された前記トレース到達ピンのリストを外部ファイルに書き込む外部ファイル書込部をそなえたことを特徴とする、請求項 15 記載の会話型回路設計装置。

【請求項 18】 該表示制御部が、該バストレース部によるトレース結果を模式的な到達経路図として該表示部に表示させるとともに、当該トレース結果に対応する該スピード解析部によるディレイ計算結果を、前記模式的な到達経路図の位置に応じたディレイ値および累積ディレイ値を示すグラフとして該表示部に表示させることを特徴とする、請求項 6 記載の会話型回路設計装置。

【請求項 19】 該表示制御部が、前記模式的な到達経路図および前記グラフを複数の配線バスについて同時に該表示部に表示させることを特徴とする、請求項 18 記載の会話型回路設計装置。

【請求項 20】 該表示制御部により該表示部に表示された前記模式的な到達経路図および前記グラフを印字出力する印字部をそなえたことを特徴とする、請求項 18 記載の会話型回路設計装置。

【請求項 21】 該表示制御部により該表示部に表示された前記模式的な到達経路図および前記グラフを外部ファイルに書き込む外部ファイル書込部をそなえたことを特徴とする、請求項 18 記載の会話型回路設計装置。

【請求項 22】 該表示制御部が、該入力部からの指示に応じて、前記模式的な到達経路図に対応する実回路図を該表示部に表示させることを特徴とする、請求項 18

記載の会話型回路設計装置。

【請求項 2 3】 該表示制御部が、該バストレース部によりトレースされたトレース開始ピンからトレース到達ピンまでの全ての配線パスを、前記の各論理構成要素のピンについてのピン名を付して木構造形式で該表示部に表示させ、

該入力部からの指示により、該表示部に表示された木構造形式の配線パス表示の中から任意のピンが選択されると、該表示制御部が、選択された当該ピンに関する、ディレイ値を含む詳細情報を該表示部に表示させることを特徴とする、請求項 1 8 記載の会話型回路設計装置。

【請求項 2 4】 回路設計を会話形式で行なうべく、回路設計過程を表示する表示部と、該表示部上の表示データに対する応答情報や該回路設計に必要な情報を入力する入力部とを有してなる会話型回路設計装置において、設計対象回路を成す各論理構成要素のピンを含む特徴点間の配線接続状況を該表示部に表示させる表示制御部をそなえ、

該表示制御部が、前記特徴点の座標を、座標軸毎に昇順または降順にソートしてその順位に比例した座標値に置換した上で、前記特徴点を該表示部に表示させることを特徴とする、会話型回路設計装置。

【請求項 2 5】 前記特徴点として、前記の各論理構成要素のピン間を接続するワイヤの両端点と、該ワイヤ上の内分点とを取り出すことを特徴とする、請求項 2 4 記載の会話型回路設計装置。

【請求項 2 6】 該表示部に表示される前記配線接続状況が多層にわたる場合、該表示制御部が、前記置換を行なった座標値に、各特徴点の存在する層の層順に比例するオフセットを加算した上で、前記特徴点を該表示部に表示させることを特徴とする、請求項 2 4 記載の会話型回路設計装置。

【請求項 2 7】 前記特徴点毎に、その座標の置換前と置換後とで共通の識別子を予め設定することを特徴とする、請求項 2 4 記載の会話型回路設計装置。

【請求項 2 8】 回路設計を会話形式で行なうべく、回路設計過程を表示する表示部と、該表示部上の表示データに対する応答情報や該回路設計に必要な情報を入力する入力部とを有してなる会話型回路設計装置において、論理設計結果に基づいて、設計対象回路を成す各論理構成要素の実装的な配置を行なった後、各論理構成要素間の配線を行なうレイアウト設計部と、該レイアウト設計部による配置／配線結果を該表示部に表示させる表示制御部と、該レイアウト設計部により前記の各論理構成要素の実装的な配置を決定した段階で、各論理構成要素間に仮想的な配線を行なって配線経路を予測する配線経路予測部とをそなえ、

該レイアウト設計部が、該配線経路予測部による予測結果に基づいて配線順序および迂回率を決定してから、決

定された前記の配線順序および迂回率に従って前記の各論理構成要素間の実配線を行なうことを特徴とする、会話型回路設計装置。

【請求項 2 9】 該設計対象回路を格子状の多数の領域に分割し、該設計対象回路上での配線の混雑度を、各格子内での使用可能チャンネル数に対する、該配線経路予測部による予測結果に基づく予想使用チャンネル数の割合として算出し、前記混雑度の大小に基づいて前記の各格子のランク付けを行なう混雑度計算部をそなえ、

10 該レイアウト設計部が、該混雑度計算部からのランク付け情報に基づいて、混雑度の高い領域における実配線を優先的に行なうことを特徴とする、請求項 2 8 記載の会話型回路設計装置。

【請求項 3 0】 該配線経路予測部による予測結果に基づいて、予め指定された迂回率での配線可能性を判定する配線可能性判定部をそなえ、

20 該レイアウト設計部が、該配線可能性判定部により配線不可能と判定された場合には、配線可能な迂回率を決定することを特徴とする、請求項 2 8 記載の会話型回路設計装置。

【請求項 3 1】 該レイアウト設計部による配線が多層にわたる場合には、該配線経路予測部が、各配線層毎に配線経路の予測を行なうとともに、該混雑度計算部が、該配線経路予測部による各配線層毎の予測結果に基づいて前記混雑度を算出し、

30 該レイアウト設計部が、該混雑度計算部により算出された各配線層毎の混雑度の大小に基づいて、混雑度が高いと予想されるチャンネルを使用する必要度の高いネットの実配線を優先的に行なうことを特徴とする、請求項 2 9 記載の会話型回路設計装置。

【請求項 3 2】 回路設計を会話形式で行なうべく、回路設計過程を表示する表示部と、該表示部上の表示データに対する応答情報や該回路設計に必要な情報を入力する入力部とを有してなる会話型回路設計装置において、論理設計結果に基づいて、設計対象回路を成す各論理構成要素の実装的な配置を行なった後、各論理構成要素間の配線を行なうレイアウト設計部と、

該レイアウト設計部による配置／配線結果を該表示部に表示させる表示制御部とをそなえ、

40 該レイアウト設計部による配線が多層にわたり且つ主配線方向の同じ配線層が複数存在する場合、前記主配線方向の同じ各配線層毎に異なる配線長さを予め指定しておく、

該レイアウト設計部が、配線方向および配線長さに応じて前記配線層の中から選択した配線層に対して実配線を行なうことを特徴とする、会話型回路設計装置。

【請求項 3 3】 回路設計を会話形式で行なうべく、回路設計過程を表示する表示部と、該表示部上の表示データに対する応答情報や該回路設計に必要な情報を入力する入力部とを有してなる会話型回路設計装置において、

論理設計結果に基づいて、設計対象回路を成す各論理構成要素の実装的な配置を行なった後、各論理構成要素間の配線を行なうレイアウト設計部と、
該レイアウト設計部による配置／配線結果を該表示部に表示させる表示制御部とをそなえ、
該レイアウト設計部が、配線対象ネットのディレイに対するクリティカル度によって該配線対象ネットを分類し、分類された各配線対象ネットに対して配線順序および迂回率を設定し、その配線順序および迂回率に従って前記の各論理構成要素間の実配線を行なうことを特徴とする、会話型回路設計装置。

【請求項 3 4】 該レイアウト設計部が、前記クリティカル度に応じて、当該配線対象ネットに隣接して後で配線される他ネットの配線許容度を設定し、当該配線対象ネットの実配線後に前記配線許容度に従って他ネットの実配線を行なうことを特徴とする、請求項 3 3 記載の会話型回路設計装置。

【請求項 3 5】 回路設計を会話形式で行なうべく、回路設計過程を表示する表示部と、該表示部上の表示データに対する応答情報や該回路設計に必要な情報を入力する入力部とを有してなる会話型回路設計装置において、論理設計結果に基づいて、設計対象回路を成す各論理構成要素の実装的な配置を行なった後、各論理構成要素間の配線を行なうレイアウト設計部と、
該レイアウト設計部による配置／配線結果を該表示部に表示させる表示制御部と、
該レイアウト設計部による前記の各論理構成要素の配置後に、配置エラーを起こした論理構成要素が存在するか否かをチェックする配置チェック部とをそなえ、
該配置チェック部により配置エラーを起こした論理構成要素が存在するものと判断した場合に、該表示制御部が、配置エラーを起こした論理構成要素の一覧リストを該表示部に表示させるとともに、前記配置エラーを起こした論理構成要素を該表示部における該設計対象回路の配置マップ上で強制的に表示させることを特徴とする、会話型回路設計装置。

【請求項 3 6】 該表示制御部が、該入力部からの指示により該論理構成要素一覧リスト上で選択した論理構成要素を、該配置マップ上で強制的に表示させることを特徴とする、請求項 3 5 記載の会話型回路設計装置。

【請求項 3 7】 回路設計を会話形式で行なうべく、回路設計過程を表示する表示部と、該表示部上の表示データに対する応答情報や該回路設計に必要な情報を入力する入力部とを有してなる会話型回路設計装置において、論理設計結果に基づいて、設計対象回路を成す各論理構成要素の実装的な配置を行なった後、各論理構成要素間の配線を行なうレイアウト設計部と、
該レイアウト設計部による配置／配線結果を該表示部に表示させる表示制御部と、
該レイアウト設計部により実行された実配線結果に基づ

いて、該設計対象回路上での配線の混雑度を算出する混雑度計算部とをそなえ、

該入力部から、既に配線済のネットに対して指定配線長を加えた再配線を行なう旨の指示が入力されると、該レイアウト設計部が、該混雑度計算部による計算結果に基づいて混雑度の低い領域を選択し、選択した領域内における当該配線済のネットに対して前記指定配線長を加えた指定長配線を自動的に行なうことを特徴とする、会話型回路設計装置。

10 【請求項 3 8】 回路設計を会話形式で行なうべく、回路設計過程を表示する表示部と、該表示部上の表示データに対する応答情報や該回路設計に必要な情報を入力する入力部とを有してなる会話型回路設計装置において、論理設計結果に基づいて、設計対象回路を成す各論理構成要素の実装的な配置を行なった後、各論理構成要素間の配線を行なうレイアウト設計部と、
該レイアウト設計部による配置／配線結果を該表示部に表示させる表示制御部とをそなえ、
該入力部から、既に配線済のネットに対して指定配線長を加えた再配線を当該ネットを含む所定領域内で行なう旨の指示が入力されると、該レイアウト設計部が、前記所定領域内における当該配線済のネットに対して前記指定配線長を加えた指定長配線を前記所定領域内で自動的に行なうことを特徴とする、会話型回路設計装置。

【請求項 3 9】 回路設計を会話形式で行なうべく、回路設計過程を表示する表示部と、該表示部上の表示データに対する応答情報や該回路設計に必要な情報を入力する入力部とを有してなる会話型回路設計装置において、論理設計結果に基づいて、設計対象回路を成す各論理構成要素の実装的な配置を行なった後、各論理構成要素間の配線を行なうレイアウト設計部と、
該レイアウト設計部による配置／配線結果を該表示部に表示させる表示制御部とをそなえ、
該入力部から、既に配置済の論理構成要素の配置位置を変更する旨の指示が入力されると、該レイアウト設計部が、当該論理構成要素に繋がるべきネットが既に配線済であれば、配置位置変更後の当該論理構成要素と当該ネットとの間の再配線を自動的に行なうことを特徴とする、会話型回路設計装置。

40 【請求項 4 0】 回路設計を会話形式で行なうべく、回路設計過程を表示する表示部と、該表示部上の表示データに対する応答情報や該回路設計に必要な情報を入力する入力部とを有してなる会話型回路設計装置において、論理設計結果に基づいて、設計対象回路を成す各論理構成要素の実装的な配置を行なった後、各論理構成要素間の配線を行なうレイアウト設計部と、
該レイアウト設計部による配置／配線結果を該表示部に表示させる表示制御部とをそなえ、
該表示制御部が該表示部に該設計対象回路についての配置マップを複数表示させている際に、該レイアウト設計

部が該入力部からの指示により複数の配置マップのうちの少なくとも 1 つの配置マップ上で配置処理もしくは配線処理を行なった場合、該表示制御部が、当該処理対象の部分を表示する他の配置マップ上でも当該処理による結果を連携して表示させることを特徴とする、会話型回路設計装置。

【請求項 4 1】 回路設計を会話形式で行なうべく、回路設計過程を表示する表示部と、該表示部上の表示データに対する応答情報や該回路設計に必要な情報を入力する入力部とを有してなる会話型回路設計装置において、論理設計結果に基づいて、設計対象回路を成す各論理構成要素の実装的な配置を行なった後、各論理構成要素間の配線を行なうレイアウト設計部と、該レイアウト設計部による配置／配線結果を該表示部に表示させる表示制御部と、該レイアウト設計部が設計対象領域を複数のレイアウト階層ブロックに分割して配線設計を行なう場合に、該入力部からの指示に応じて、仮想ブロック端子を各レイアウト階層ブロックの境界で配置すべき配置領域を設定する配置領域設定部とをそなえ、該レイアウト設計部が、該配置領域設定部により設定された配置領域内に前記仮想ブロック端子を配置しながら配線処理を実行することを特徴とする、会話型回路設計装置。

【請求項 4 2】 該入力部からの指示に応じて、複数の仮想ブロック端子を 1 つの集合体として登録するグルーピング部をそなえ、該配置領域設定部が、該入力部からの指示に応じて、該グルーピング部により登録された集合体毎に、前記配置領域を設定することを特徴とする、請求項 4 1 記載の会話型回路設計装置。

【請求項 4 3】 回路設計を会話形式で行なうべく、回路設計過程を表示する表示部と、該表示部上の表示データに対する応答情報や該回路設計に必要な情報を入力する入力部とを有してなる会話型回路設計装置において、論理設計結果に基づいて、設計対象回路を成す各論理構成要素の実装的な配置を行なった後、各論理構成要素間の配線を行なうレイアウト設計部と、該レイアウト設計部による配置／配線結果を該表示部に表示させる表示制御部と、該レイアウト設計部が設計対象領域を複数のレイアウト階層ブロックに分割して配線設計を行なう場合に、該入力部からの指示に応じて、各レイアウト階層ブロックの境界で仮想ブロック端子の配置を禁止する禁止領域を設定する配置禁止領域設定部とをそなえ、該レイアウト設計部が、該配置禁止領域設定部により設定された禁止領域以外の領域に前記仮想ブロック端子を配置しながら配線処理を実行することを特徴とする、会話型回路設計装置。

【請求項 4 4】 回路設計を会話形式で行なうべく、回

路設計過程を表示する表示部と、該表示部上の表示データに対する応答情報や該回路設計に必要な情報を入力する入力部とを有してなる会話型回路設計装置において、論理設計結果に基づいて、設計対象回路を成す各論理構成要素の実装的な配置を行なった後、各論理構成要素間の配線を行なうレイアウト設計部と、

該レイアウト設計部による配置／配線結果を該表示部に表示させる表示制御部と、

該レイアウト設計部が設計対象領域を複数のレイアウト階層ブロックに分割して配線設計を行なう場合に、仮想ブロック端子を配置すべき各レイアウト階層ブロックの境界上での配置位置を決定する配置位置決定部とをそなえ、

該配置位置決定部が、仮想ブロック端子の配置位置を決定すべきレイアウト階層ブロックにおいて該仮想ブロック端子に接続されるネットに繋がる論理構成要素のピン座標の重心を求め、該重心の位置から該仮想ブロック端子に接続すべき他のレイアウト階層ブロックの方向へ延ばした直線が横切る当該レイアウト階層ブロックの辺を求めてから、当該辺に最も近い当該ネットのピンを求め、当該ピンの位置から主配線方向もしくは従配線方向へ延ばした直線と当該辺との交わる位置を該仮想ブロック端子の配置位置として決定するとともに、

該レイアウト設計部が、該配置位置決定部により決定された配置位置に前記仮想ブロック端子を配置しながら該複数のレイアウト階層ブロック間の配線処理を実行することを特徴とする、会話型回路設計装置。

【請求項 4 5】 回路設計を会話形式で行なうべく、回路設計過程を表示する表示部と、該表示部上の表示データに対する応答情報や該回路設計に必要な情報を入力する入力部とを有してなる会話型回路設計装置において、論理設計結果に基づいて、設計対象回路を成す各論理構成要素の実装的な配置を行なった後、各論理構成要素間の配線を行なうレイアウト設計部と、

該レイアウト設計部による配置／配線結果を該表示部に表示させる表示制御部と、

該レイアウト設計部が設計対象領域を複数のレイアウト階層ブロックに分割して配線設計を行なう場合に、仮想ブロック端子を配置すべき各レイアウト階層ブロックの境界上での配置位置を決定する配置位置決定部とをそなえ、

該配置位置決定部が、相互に接続される各レイアウト階層ブロックにおいて該仮想ブロック端子に接続されるネットに繋がる論理構成要素のピン座標の重心を求め、前記の各レイアウト階層ブロック毎に求められた重心間をスタイナー木により接続して配線経路の予測を行ない、予測された該配線経路と前記の各レイアウト階層ブロックの境界との交わる位置を前記の各レイアウト階層ブロックの仮想ブロック端子の配置位置として決定するとともに、

該レイアウト設計部が、該配置位置決定部により決定された配置位置に前記仮想ブロック端子を配置しながら該複数のレイアウト階層ブロック間の配線処理を実行することを特徴とする、会話型回路設計装置。

【請求項 4 6】 回路設計を会話形式で行なうべく、回路設計過程を表示する表示部と、該表示部上の表示データに対する応答情報や該回路設計に必要な情報を入力する入力部とを有してなる会話型回路設計装置において、論理設計結果に基づいて、設計対象回路を成す各論理構成要素の実装的な配置を行なった後、各論理構成要素間の配線を行なうレイアウト設計部と、該レイアウト設計部による配置／配線結果を該表示部に表示させる表示制御部と、該設計対象回路がチップ表面に入出力端子を有する回路であり且つ該入出力端子に配線接続されるべき論理構成要素としての入出力回路の該設計対象回路上での配置位置が既に決定している場合に、該入出力回路のピン位置に最も近い入出力端子配置可能位置を求める配置可能位置決定部とをそなえ、該レイアウト設計部が、該配置可能位置決定部により決定された入出力端子配置可能位置と該入出力回路のピンとの間の配線処理を実行することを特徴とする、会話型回路設計装置。

【請求項 4 7】 回路設計を会話形式で行なうべく、回路設計過程を表示する表示部と、該表示部上の表示データに対する応答情報や該回路設計に必要な情報を入力する入力部とを有してなる会話型回路設計装置において、論理設計結果に基づいて、設計対象回路を成す各論理構成要素の実装的な配置を行なった後、各論理構成要素間の配線を行なうレイアウト設計部と、該レイアウト設計部による配置／配線結果を該表示部に表示させる表示制御部と、該設計対象回路がチップ表面に入出力端子を有する回路であり且つ該入出力端子の該設計対象回路上での配置位置が既に決定している場合に、該入力部からの指示に応じて、該入出力端子と当該入出力端子に接続されるべき論理構成要素としての入出力回路のピンとの距離が所定値以下となるように該入出力回路の配置位置を制限する制限領域を設定する制限領域設定部とをそなえ、該レイアウト設計部が、該制限領域設定部により設定された制限領域内に該入出力回路を配置するとともに、該入出力回路のピンと該入出力端子との間の配線処理を実行することを特徴とする、会話型回路設計装置。

【発明の詳細な説明】

【0001】（目次）

産業上の利用分野

従来の技術

発明が解決しようとする課題

課題を解決するための手段

作用

実施例

- (a) 本実施例の装置の基本構成の説明（図 1～図 3）
- (b) 本実施例のディレイ計算およびバストレースの説明（図 4～図 20）
- (c) 本実施例の表示手法の説明（図 21～図 29）
- (d) 本実施例の配線処理の説明（図 30～図 34）
- (e) 本実施例の配置エラー発生時の対処手法の説明（図 35）
- (f) 本実施例の再配線処理および再配置処理の説明（図 36～図 38）
- (g) 本実施例のマルチウインドウ表示の説明（図 39、図 40）
- (h) 本実施例の階層レイアウト設計時における仮端子位置決定手法の説明（図 41～図 46）
- (i) 本実施例のバンプ付回路の設計時におけるバンプおよび入出力回路の位置決定手法の説明（図 47～図 49）

発明の効果

【0002】

- 20 【産業上の利用分野】本発明は、LSI等の集積回路やプリント基板の回路設計を、その回路設計過程をディスプレイ等の表示部に表示しながら会話形式で行なう会話型回路設計装置に関する。

【0003】

- 30 【従来の技術】一般に、LSIやプリント基板等の回路を設計する際には、論理設計、レイアウト設計（実装設計）およびスピード解析を行なっている。つまり、まず、設計対象回路に対して要求される機能を実現するための論理設計を行なってから、その論理設計結果に基づいて、論理構成要素としてのフリップフロップ等のセル（素子あるいはゲートという場合もある）の実装的（物理的）な配置や各セル間の配線を決定するレイアウト設計を行なう。

- 【0004】そして、レイアウト設計後に、その設計結果として得られた各バス毎に、ディレイ計算に基づくスピード解析を行ない、その解析の結果得られたディレイの大小をフィードバックし、各バスのディレイを改善すべく論理設計、レイアウト設計を行ない、トライアンドエラー方式で各バスが最適なディレイになるまで、上述した論理設計、レイアウト設計およびスピード解析を繰り返し実行している。

- 【0005】各ステップにおける論理設計、レイアウト設計およびスピード解析を行なうシステム（ソフトウェア）は、従来、それぞれ会話型論理設計システム、会話型レイアウト設計システム、会話型スピード解析システムとして別々に存在しており、互いに関係をとって処理を行なうシステム構成にはなっていない。このため、従来技術では、フィードバックを伴う逐次的な処理により、回路設計が行なわれている。

- 50 【0006】

【発明が解決しようとする課題】上述した従来の回路設計手法では、論理設計、レイアウト設計およびスピード解析がそれぞれ別個のシステム（ソフトウェア）により行なわれ相互に連係をとることができないため、各処理を逐次的に繰り返す行なう必要があり、ターンアラウンドタイムが長くなって、LSIやプリント板等の回路を高速に設計・開発することができない。

【0007】そこで、論理設計システム、レイアウト設計システムおよびスピード解析システムを、随時、相互に連係可能に接続した会話型回路設計装置も提案されている。しかしながら、上記の各システムが単独に存在する会話型回路設計装置であっても相互に連携可能に接続された会話型回路設計装置であっても、下記のような解決すべき各種課題がある。

【0008】（１）近年、LSI等の集積回路では、その微細化に伴って配線容量が顕在化してきており、回路上の配線バスを転送される信号の波形に鈍りが生じやすくなっている。回路内を転送される二値化信号は、理論的には略ゼロの微小時間内で一方のレベルから他方のレベルへ立ち上がるもしくは立ち下がるものであるが、前述のように配線容量が大きくなると、その一方のレベルから他方のレベルへの立ち上がりもしくは立ち下がり（SLEW RATE）が大きくなる。この傾きが信号波形の鈍りであり、鈍りが生じると、一方のレベルから他方のレベルへ到達するまでに要する時間（ T_{sin} ）が長くなり、当然、二値化信号が２つのレベルのいずれであるかを判定するための閾値に到達するまでの時間も長くなる。従って、スピード解析に際して、上述のような鈍りを有する信号が論理構成要素（ゲート、セルあるいは素子という場合もある）を通過する際のディレイ値（ゲートバスディレイ）を従来のごとく一義的に決めておくと、計算上のディレイ値と実際のディレイ値との差が極めて大きくなり、正確なディレイ計算を行えないという課題があった。

【0009】（２）スピード解析によるディレイ計算は、通常、論理構成要素の配置後や、配置された論理構成要素間の配線後に行なわれているが、論理設計後の段階で行なわれることはなかった。しかし、設計対象の回路がより微細化し集積度が高くなると、より早い段階つまり論理設計の終了段階でディレイ計算結果を考慮して設計に反映することが望まれている。

【0010】（３）LSI等の集積回路の配線設計は、論理構成要素であるフリップフロップ（FF）間のデータ転送はタイミング制約（オーバーディレイ、レーシング）を満たしたものでなければならない。しかし、上記のいずれの会話型回路設計装置においても、設計者が、通常、数十万個にも及ぶフリップフロップ間の全ての組合せの配線バスに対して着目し、配線設計結果がタイミング制約を満たしているか否かをチェックすることは不可能である。

【0011】（４）LSI等の集積回路の配線設計に際して、設計対象回路の配線接続状況をディスプレイ等の表示部に表示する場合、通常、配線のための特徴点（ビアや論理構成要素のピン等）を、各点の実際の座標値に比例した表示位置に表示している。しかし、この場合、特徴点の存在密度に局所的に大きな差がある場合、全体を表示すると表示部上で密度の高い詳細部分を容易に判別することができない。これに対してその詳細部分を拡大して表示すると、逆に設計対象回路の全体像を把握できなくなる。

【0012】（５）レイアウト設計により各種論理構成要素を配置した後にこれらの論理構成要素間の配線を行なう場合、論理構成要素の配置状態によっては、配線が極めて混雑する部分や、予め設定されたディレイ値に対して限界ぎりぎりの（クリティカル度が高い）配線しか行なえない部分が生じることがある。このような部分を考慮することなく実配線を行なうと、配線不能となる部分が多々出現することになり、配線効率が極めて悪化するおそれがある。

【0013】（６）従来、LSI等の集積回路上に配置される論理構成要素としてのセルが全て同じ形状で同じ大きさであったため、そのセルの配置位置を一旦決めると、セルどうしがオーバーラップするなどの配置エラーが生じることにはなかった。しかし、近年、LSIテクノロジーの変化から大きさの異なるセルが同一回路上に配置される場合があり、このようなセルの配置を行なった場合にセルどうしがオーバーラップするなどの配置エラーが生じることがある。現状では、設計者がこのような配置エラーを直ちに知る術がないため、配置エラーの発生状況を設計者に明確に知らしめる技術の開発が要求されている。

【0014】（７）既に配線した部分の再配線を行なう場合、設計者が既に配線済の配線バス上で再配線を行なうべき２点をそれぞれ指定してから、その２点間を指定配線長で配線しているため、設計者に対する負担が大きく、再配線処理の簡易化や自動化が望まれている。

（８）既に配置したセルの再配置を行なう場合、そのセルに繋がるべきネットが既に配線済であっても、再配置後のセルに対する再配線は、設計者が別途配線を指示しない限り実行できず、このような点でも設計者に対する負担が大きく、再配置処理の簡易化や自動化が望まれている。

【0015】（９）共通の回路について複数の配置マップを表示部に表示している際、通常、設計者は、これらの配置マップのうちの１つを参照してその配置マップ上で配置処理もしくは配線処理を行なうが、その処理結果は、他の配置マップ上の表示に反映されていない。従って、設計変更の結果と配置マップ上に表示された設計状況とが異なる場合があり、表示部を参照して会話形式で設計を行なう設計者に混乱を招くおそれがある。

【0016】(10) LSI等の集積回路に実装される素子数の増大に伴い、チップ内部を複数のレイアウト階層ブロック(LSG: Layout Sub-Group)に分割して実装する手法(階層レイアウト設計)が主流になりつつある。このとき、通常、これらの分割されたブロック間を接続するネットが存在する。従って、階層レイアウト設計を行なう際には、ブロック毎に仮の入出力端子(仮想ブロック端子;以下、仮端子という)を設け、各ブロック内部の配置を行なう際にこの仮端子を配置し、ブロック内部では素子と仮端子との間とを配線接続し、ブロック間は各ブロックの仮端子どうしを配線接続している。

【0017】しかし、上述のような階層レイアウト設計に際して、仮端子の配置は、その仮端子とブロック内の素子との接続やその仮端子と他のブロックとの接続を考慮しながら設計者が最適と考える場所に手作業で配置しなければならなかった。近年のレイアウト設計システムでは、回路全体における個々のブロックの配置関係を考慮しながら全てを自動で配置する手段が採られているが、設計者の意図を反映した配置を行なうためには、個々の仮端子の移動を含む手作業が必要であった。また、当該処理はブロックの配置のみを考慮して行なわれるため、それぞれのブロック内部における素子の配置や素子間配線の考慮は行なわれていない。

【0018】(11) LSI等の集積回路の入出力端子は、従来、チップ周縁部に配置されており、実装設計においてその座標を自由に変更することはできなかった。これに対し、近年、チップ表面にバンプとよばれる球状の端子を並べる方式を採用することにより、入出力端子の位置をチップ上に定めることができ、配置の自由度が増大してきている。また、それに併せて、入出力端子に接続されるべき入出力回路を、その入出力端子の位置に近い通常の素子が配置される領域内に配置することができるようになってきた。

【0019】このように入出力端子および入出力回路の配置に自由度が増したことにより、両者の間の配線長が制限されることがある。しかし、前述した階層レイアウト設計を行なっている場合、入出力端子と入出力回路とがそれぞれ異なるレイアウト階層ブロックに属することもあり得る。このような時には、個々のブロック内部の設計を行なっている際に、入出力端子と入出力回路との間の配線長が制限値以内であるかどうかを調べる術はない。また、入出力端子の配置位置が分からないために入出力回路を配置すべき領域が分からないこともあり得る。

【0020】本発明は、上述した各種課題に鑑み創案されたもので、高速で正確なディレイ計算、全配線バスに対するタイミングチェック、設計対象回路の詳細部分も全体像も同時に且つ明確に把握可能な表示、配線効率の向上、配置エラーの発生状況の明確化、再配線処理や再配線処理の簡易化/自動化、混乱を招くことのないマル

チウインドウ表示等を実現し、設計者に対する負担を大幅に軽減しながら、LSI等の集積回路やプリント板の回路設計を簡易化するとともに高速化できるようにした会話型回路設計装置を提供することを目的とする。

【0021】

【課題を解決するための手段】このため、第1発明の会話型回路設計装置は、回路設計を会話形式で行なうべく、回路設計過程を表示する表示部と、該表示部上の表示データに対する応答情報や該回路設計に必要な情報を入力する入力部とを有するもので、設計対象回路上の各配線バス毎にディレイ計算を行なうスピード解析部と、このスピード解析部によるディレイ計算結果を表示部に表示させる表示制御部とをそなえ、スピード解析部によりディレイ計算を行なう際に、設計対象回路を成す各論理構成要素についてのディレイ値を、当該論理構成要素に入力される信号波形の鈍りに応じて設定変更することとを特徴としている(請求項1)。

【0022】第2発明の会話型回路設計装置は、前述と同様の表示部および入力部を有するほか、設計対象回路についての論理設計を行なう論理設計部と、この論理設計部による論理設計結果に基づいて設計対象回路を成す各論理構成要素の実装的な配置を行なった後に各論理構成要素間の配線を行なうレイアウト設計部と、設計対象回路上の各配線バス毎にディレイ計算を行なうスピード解析部と、論理設計部による論理設計結果、レイアウト設計部による配置/配線結果およびスピード解析部によるディレイ計算結果を表示部に表示させる表示制御部とをそなえ、上述の論理設計部、レイアウト設計部およびスピード解析部を、随時、相互に連係可能に接続するとともに、論理設計部による論理設計後でレイアウト設計部により各論理構成要素の実装的な配置を行なう前に、スピード解析部が、各論理構成要素間のディレイ値を予め設定された経験的ディレイ値に基づいて見積もりながら、設計対象回路の配線バスについてのディレイ値を予測・算出することを特徴としている(請求項2)。

【0023】この第2発明において、レイアウト設計部により各論理構成要素の実装的な配置を行なった後で各論理構成要素間の配線を行なう前に、スピード解析部が、設計対象回路の配線バスについてのディレイ値を、接続すべきピン間の最短経路に基づいて見積もって算出するように構成してもよい(請求項3)。さらに、スピード解析部が、レイアウト設計部による実配線結果に基づいて、設計対象回路の配線バスについてのディレイ値を算出してもよい(請求項4)。

【0024】また、第2発明においても、スピード解析部によりディレイ計算を行なう際に、各論理構成要素についてのディレイ値を、当該論理構成要素に入力される信号波形の鈍りに応じて設定変更してもよい(請求項5)。第1発明および第2発明において上述のように信号波形の鈍りをディレイ計算に加味する場合、入力部か

らの指示により指定した所定ピンに接続される配線バスを当該ピンからトレースするバストレーズ部をそなえ、このバストレーズ部により配線バスのトレース処理を行なうと同時に、スピード解析部が、当該配線バスに沿って変化する信号波形の鈍りを算出して当該鈍りに応じた当該配線バス上の論理構成要素のディレイ値を設定しながら、当該配線バスについてのディレイ計算を行なうように構成する（請求項6）。

【0025】このとき、クロック信号が各論理構成要素に供給されるタイミングをチェックするタイミングチェック部をそなえ、各論理構成要素に対してクロック信号を供給するクロック系が設計済である場合には、タイミングチェック部によりチェックを行なうべきクロック系のクロックピンと当該クロックピンから入力されるクロック信号の初期値および位相とを入力部から指定し、バストレーズ部が、当該クロックピンから配線バスをトレースして、当該クロックピンに接続される全ての論理構成要素をサーチしながら、スピード解析部が、当該クロックピンと当該クロックピンに接続される全ての論理構成要素との間の配線バスについてのディレイ計算を行なってそのディレイ計算結果をクロックバスディレイ値として保存するとともに、バストレーズ部によりサーチされた論理構成要素のピンに対して論理構成要素がタイミングチェック部のチェック対象であることを示すフラグを設定しておく。この後、バストレーズ部が、サーチされた全ての論理構成要素のクロック入力ピンから配線バスのトレース処理を行ない、そのトレース処理に際してフラグを設定されたピンをトレースすると、タイミングチェック部を起動する。そして、タイミングチェック部が、スピード解析部により算出された当該ピンまでのディレイ値と、クロックバスディレイ値と、入力部から指定されたクロック信号の初期値および位相とに基づいて、当該ピンの属する論理構成要素についてのクロックタイミングチェックを行なう（請求項7）。

【0026】また、入力部からの指示に応じてバストレーズ部によりトレースされた任意のピンに対し所定ディレイ値を設定するディレイ値設定部をそなえ、スピード解析部が、ディレイ値設定部により設定された所定ディレイ値を、当該ピンを通過する配線バスのディレイ値として加算するように構成してもよい（請求項8）。一方、上述と同様のタイミングチェック部をそなえ、各論理構成要素に対してクロック信号を供給するクロック系が未設計である場合には、設計対象回路を成す論理構成要素の中からクロック系に接続されるクロック入力ピンをもつものを全てサーチするサーチ部をそなえるとともに、このサーチ部によりサーチされた論理構成要素のピンに対し論理構成要素がタイミングチェック部のチェック対象であることを示すフラグを設定しておく。この後、バストレーズ部が、サーチされた全ての論理構成要素のクロック入力ピンから配線バスのトレース処理を行

ない、そのトレース処理に際してフラグを設定されたピンをトレースすると、タイミングチェック部を起動する。そして、タイミングチェック部が、スピード解析部により算出された当該ピンまでのディレイ値に基づいて、当該ピンの属する論理構成要素についてのクロックタイミングチェックを行なう（請求項9）。

【0027】また、各論理構成要素のピン毎に、当該ピンがバストレーズ部によってトレースされた回数を計数するカウンタをそなえ（請求項10）、表示制御部が、上記カウンタにより計数された各ピン毎の計数値に基づく各ピンにおける信号の通過頻度の大小に関する情報を、表示部に表示させてもよい（請求項11）。さらに、入力部からの指示に応じてバストレーズ部による配線バスのトレース処理およびスピード解析部によるディレイ計算処理の実行範囲を設定する範囲設定部をそなえ、表示制御部が、範囲設定部により設定された前記実行範囲についての処理結果のみを表示部に表示させてもよい（請求項12）。

【0028】また、入力部からの指示によりトレース開始ピンのみを指定した場合には当該トレース開始ピンからのフォワードトレースを実行し、入力部からの指示によりトレース到達ピンのみを指定した場合には当該トレース到達ピンからのバックワードトレースを実行し、入力部からの指示によりトレース開始ピンおよびトレース到達ピンの2点を指定した場合にはこれらの2点間のトレースを実行するように、バストレーズ部の動作を切換制御するトレース制御部をそなえてもよい（請求項13）。この場合、トレース制御部によりバストレーズ部にバックワードトレースを実行させる際には、そのバックワードトレース終了後にスピード解析部にディレイ計算を実行させるか否かについてのモードを、入力部からの指示により設定する（請求項14）。

【0029】さらに、表示制御部が、バストレーズ部によるトレース結果およびスピード解析部によるディレイ計算結果をトレース到達ピンのリストとして表示部に表示させるとともに、表示制御部に、前記リストの表示状態を、トレース到達ピンのピン名もしくは各トレース到達ピンのディレイ値に応じてソートするソート機能をそなえてもよい（請求項15）。

【0030】この場合、表示制御部が、前記リストを階層的に表示部に表示させ、入力部からの指示により表示部上の上位階層の情報が選択されると、表示制御部が、選択された当該上位階層の情報に対応する下位階層の情報を表示部に表示させるほか（請求項16）、表示制御部により表示部に表示された前記トレース到達ピンのリストを外部ファイルに書き込む外部ファイル書込部をそなえて構成してもよい（請求項17）。

【0031】また、表示制御部が、バストレーズ部によるトレース結果を模式的な到達経路図として表示部に表示させるとともに、当該トレース結果に対応するスピー

ド解析部によるディレイ計算結果を、前記模式的な到達経路図の位置に応じたディレイ値および累積ディレイ値を示すグラフとして表示部に表示させるように構成してもよい（請求項 18）。

【0032】この場合、表示制御部が、前記模式的な到達経路図および前記グラフを複数の配線パスについて同時に表示部に表示させる（請求項 19）。また、表示制御部により表示部に表示された前記模式的な到達経路図および前記グラフを印字出力する印字部（請求項 20）や、表示制御部により表示部に表示された前記模式的な到達経路図および前記グラフを外部ファイルに書き込む外部ファイル書込部（請求項 21）をそなえてもよい。さらに、表示制御部が、入力部からの指示に応じて、前記模式的な到達経路図に対応する実回路図を表示部に表示させることも可能である（請求項 22）。またさらに、表示制御部が、バストレース部によりトレースされたトレース開始ピンからトレース到達ピンまでの全ての配線パスを、各論理構成要素のピンについてのピン名を付して木構造形式で表示部に表示させ、入力部からの指示により、表示部に表示された木構造形式の配線パス表示の中から任意のピンが選択されると、表示制御部が、選択された当該ピンに関する、ディレイ値を含む詳細情報を表示部に表示させるように構成してもよい（請求項 23）。

【0033】第 3 発明の会話型回路設計装置は、前述と同様の表示部および入力部を有するとともに、設計対象回路を成す各論理構成要素のピンを含む特徴点間の配線接続状況を該表示部に表示させる表示制御部をそなえ、この表示制御部が、前記特徴点の座標を、座標軸毎に昇順または降順にソートしてその順位に比例した座標値に置換した上で、前記特徴点を表示部に表示させることを特徴としている（請求項 24）。

【0034】この場合、前記特徴点として、各論理構成要素のピン間を接続するワイヤの両端点と、そのワイヤ上の内分点とを取り出す（請求項 25）。また、表示部に表示される前記配線接続状況が多層にわたる場合には、表示制御部が、前記置換を行なった座標値に、各特徴点の存在する層の層順に比例するオフセットを加算した上で、前記特徴点を表示部に表示させてもよい（請求項 26）。さらに、前記特徴点毎に、その座標の置換前と置換後とで共通の識別子を予め設定してもよい（請求項 27）。

【0035】第 4 発明の会話型回路設計装置は、前述と同様の表示部および入力部を有するとともに、論理設計結果に基づいて設計対象回路を成す各論理構成要素の実装的な配置を行なった後に各論理構成要素間の配線を行なうレイアウト設計部と、このレイアウト設計部による配置／配線結果を表示部に表示させる表示制御部と、レイアウト設計部により各論理構成要素の実装的な配置を決定した段階で各論理構成要素間に仮想的な配線を行な

って配線経路を予測する配線経路予測部とをそなえ、レイアウト設計部が、配線経路予測部による予測結果に基づいて配線順序および迂回率を決定してから、決定された配線順序および迂回率に従って各論理構成要素間の実配線を行なうことを特徴としている（請求項 28）。

【0036】この場合、設計対象回路を格子状の多数の領域に分割し、設計対象回路上での配線の混雑度を、各格子内での使用可能チャンネル数に対する、配線経路予測部による予測結果に基づく予想使用チャンネル数の割合として算出し、その混雑度の大小に基づいて各格子のランク付けを行なう混雑度計算部をそなえ、レイアウト設計部が、混雑度計算部からのランク付け情報に基づいて混雑度の高い領域における実配線を優先的に行なう（請求項 29）。

【0037】また、配線経路予測部による予測結果に基づいて予め指定された迂回率での配線可能性を判定する配線可能性判定部をそなえ、レイアウト設計部が、配線可能性判定部により配線不可能と判定された場合には、配線可能な迂回率を決定するように構成してもよい（請求項 30）。さらに、レイアウト設計部による配線が多層にわたる場合には、配線経路予測部が、各配線層毎に配線経路の予測を行なうとともに、混雑度計算部が、配線経路予測部による各配線層毎の予測結果に基づいて前記混雑度を算出し、レイアウト設計部が、混雑度計算部により算出された各配線層毎の混雑度の大小に基づいて、混雑度が高いと予想されるチャンネルを使用する必要度の高いネットの実配線を優先的に行なうように構成してもよい（請求項 31）。

【0038】第 5 発明の会話型回路設計装置は、前述と同様の表示部、入力部、レイアウト設計部および表示制御部を有し、レイアウト設計部による配線が多層にわたり且つ主配線方向の同じ配線層が複数存在する場合、前記主配線方向の同じ各配線層毎に異なる配線長さを予め指定しておき、レイアウト設計部が、配線方向および配線長さに応じて前記配線層の中から選択した配線層に対して実配線を行なうことを特徴としている（請求項 32）。

【0039】第 6 発明の会話型回路設計装置は、前述と同様の表示部、入力部、レイアウト設計部および表示制御部を有し、レイアウト設計部が、配線対象ネットをディレイに対するクリティカル度によって分類し、分類した各配線対象ネットに対して配線順序および迂回率を設定し、その配線順序および迂回率に従って各論理構成要素間の実配線を行なうことを特徴としている（請求項 33）。

【0040】この場合、レイアウト設計部が、前記クリティカル度に応じて、当該配線対象ネットに隣接して後で配線される他ネットの配線許容度を設定し、当該配線対象ネットの実配線後に前記配線許容度に従って他ネットの実配線を行なうように構成する（請求項 34）。第

7 発明の会話型回路設計装置は、前述と同様の表示部、入力部、レイアウト設計部および表示制御部を有するほか、レイアウト設計部による各論理構成要素の配置後に配置エラーを起こした論理構成要素が存在するか否かをチェックする配置チェック部をそなえ、この配置チェック部により配置エラーを起こした論理構成要素が存在するものと判断した場合に、表示制御部が、配置エラーを起こした論理構成要素の一覧リストを表示部に表示させるとともに、前記配置エラーを起こした論理構成要素を表示部における設計対象回路の配置マップ上で強制的に

表示させることを特徴としている（請求項 35）。この場合、表示制御部が、入力部からの指示により論理構成要素一覧リスト上で選択した論理構成要素を、配置マップ上で強制的に表示させるように構成してもよい（請求項 36）。

【0041】第 8 発明の会話型回路設計装置は、前述と同様の表示部、入力部、レイアウト設計部および表示制御部を有するほか、レイアウト設計部により実行された実配線結果に基づいて設計対象回路上での配線の混雑度を算出する混雑度計算部をそなえ、入力部から、既に配線済のネットに対して指定配線長を加えた再配線を行なう旨の指示が入力されると、レイアウト設計部が、混雑度計算部による計算結果に基づいて混雑度の低い領域を選択し、選択した領域内における当該配線済のネットに対して前記指定配線長を加えた指定長配線を自動的に行なうことを特徴としている（請求項 37）。

【0042】第 9 発明の会話型回路設計装置は、前述と同様の表示部、入力部、レイアウト設計部および表示制御部を有し、入力部から、既に配線済のネットに対して指定配線長を加えた再配線を当該ネットを含む所定領域内で行なう旨の指示が入力されると、レイアウト設計部が、前記所定領域内における当該配線済のネットに対して前記指定配線長を加えた指定長配線を前記所定領域内で自動的に行なうことを特徴としている（請求項 38）。

【0043】第 10 発明の会話型回路設計装置は、前述と同様の表示部、入力部、レイアウト設計部および表示制御部を有し、入力部から、既に配置済の論理構成要素の配置位置を変更する旨の指示が入力されると、レイアウト設計部が、当該論理構成要素に繋がるべきネットが既に配線済であれば、配置位置変更（再配置）後の当該論理構成要素と当該ネットとの間の再配線を自動的に行なうことを特徴としている（請求項 39）。

【0044】第 11 発明の会話型回路設計装置は、前述と同様の表示部、入力部、レイアウト設計部および表示制御部を有し、表示制御部が表示部に設計対象回路についての配置マップを複数表示させている際に、レイアウト設計部が入力部からの指示により複数の配置マップのうちの少なくとも 1 つの配置マップ上で配置処理もしくは配線処理を行なった場合、表示制御部が、当該処理対

象の部分を表示する他の配置マップ上でも当該処理による結果を連携して表示させることを特徴としている（請求項 40）。

【0045】第 12 発明の会話型回路設計装置は、前述と同様の表示部、入力部、レイアウト設計部および表示制御部を有するとともに、レイアウト設計部が設計対象領域を複数のレイアウト階層ブロックに分割して配線設計を行なう場合に入力部からの指示に応じて仮想ブロック端子を各レイアウト階層ブロックの境界で配置すべき配置領域を設定する配置領域設定部をそなえ、レイアウト設計部が、配置領域設定部により設定された配置領域内に前記仮想ブロック端子を配置しながら配線処理を実行することを特徴としている（請求項 41）。

【0046】この場合、入力部からの指示に応じて、複数の仮想ブロック端子を 1 つの集合体として登録するグルーピング部をそなえ、配置領域設定部が、入力部からの指示に応じて、グルーピング部により登録された集合体毎に、前記配置領域を設定するように構成してもよい（請求項 42）。第 13 発明の会話型回路設計装置は、前述と同様の表示部、入力部、レイアウト設計部および表示制御部を有するとともに、レイアウト設計部が設計対象領域を複数のレイアウト階層ブロックに分割して配線設計を行なう場合に入力部からの指示に応じて各レイアウト階層ブロックの境界で仮想ブロック端子の配置を禁止する禁止領域を設定する配置禁止領域設定部をそなえ、レイアウト設計部が、配置禁止領域設定部により設定された禁止領域以外の領域に前記仮想ブロック端子を配置しながら配線処理を実行することを特徴としている（請求項 43）。

【0047】第 14 発明の会話型回路設計装置は、前述と同様の表示部、入力部、レイアウト設計部および表示制御部を有するとともに、レイアウト設計部が設計対象領域を複数のレイアウト階層ブロックに分割して配線設計を行なう場合に仮想ブロック端子を配置すべき各レイアウト階層ブロックの境界上での配置位置を決定する配置位置決定部をそなえ、配置位置決定部が、仮想ブロック端子の配置位置を決定すべきレイアウト階層ブロックにおいて仮想ブロック端子に接続されるネットに繋がる論理構成要素のピン座標の重心を求め、その重心の位置から仮想ブロック端子に接続すべき他のレイアウト階層ブロックの方向へ延ばした直線が横切る当該レイアウト階層ブロックの辺を求めてから、当該辺に最も近い当該ネットのピンを求め、当該ピンの位置から主配線方向もしくは従配線方向へ延ばした直線と当該辺との交わる位置を該仮想ブロック端子の配置位置として決定するとともに、レイアウト設計部が、配置位置決定部により決定された配置位置に前記仮想ブロック端子を配置しながら複数のレイアウト階層ブロック間の配線処理を実行することを特徴としている（請求項 44）。

【0048】第 15 発明の会話型回路設計装置は、前述

と同様の表示部、入力部、レイアウト設計部および表示制御部を有するとともに、レイアウト設計部が設計対象領域を複数のレイアウト階層ブロックに分割して配線設計を行なう場合に仮想ブロック端子を配置すべき各レイアウト階層ブロックの境界上での配置位置を決定する配置位置決定部をそなえ、配置位置決定部が、相互に接続される各レイアウト階層ブロックにおいて仮想ブロック端子に接続されるネットに繋がる論理構成要素のピン座標の重心を求め、各レイアウト階層ブロック毎に求められた重心間をスタイナー木により接続して配線経路の予測を行ない、予測された配線経路と各レイアウト階層ブロックの境界との交わる位置を各レイアウト階層ブロックの仮想ブロック端子の配置位置として決定するとともに、レイアウト設計部が、配置位置決定部により決定された配置位置に前記仮想ブロック端子を配置しながら複数のレイアウト階層ブロック間の配線処理を実行することを特徴としている（請求項 45）。

【0049】第 16 発明の会話型回路設計装置は、前述と同様の表示部、入力部、レイアウト設計部および表示制御部を有するとともに、設計対象回路がチップ表面に 10 入出力端子を有する回路であり且つ入出力端子に配線接続されるべき論理構成要素としての入出力回路の設計対象回路上での配置位置が既に決定している場合に入出力回路のピン位置に最も近い入出力端子配置可能位置を求める配置可能位置決定部をそなえ、レイアウト設計部が、配置可能位置決定部により決定された入出力端子配置可能位置と入出力回路のピンとの間の配線処理を実行することを特徴としている（請求項 46）。

【0050】第 17 発明の会話型回路設計装置は、前述と同様の表示部、入力部、レイアウト設計部および表示 20 制御部を有するとともに、設計対象回路がチップ表面に入出力端子を有する回路であり且つ入出力端子の設計対象回路上での配置位置が既に決定している場合に入出力からの指示に応じて入出力端子と当該入出力端子に接続されるべき論理構成要素としての入出力回路のピンとの距離が所定値以下となるように入出力回路の配置位置を制限する制限領域を設定する制限領域設定部をそなえ、レイアウト設計部が、制限領域設定部により設定された制限領域内に入出力回路を配置するとともに、入出力回路のピンと入出力端子との間の配線処理を実行すること 40 を特徴としている（請求項 47）。

【0051】

【作用】上述した第 1 発明の会話型回路設計装置では、設計対象回路を成す各論理構成要素についてのディレイ値がその論理構成要素に入力される信号波形の鈍りに応じて設定変更されるので、信号波形鈍りを考慮しながらスピード解析部によるディレイ計算を行なうことができる（請求項 1）。

【0052】上述した第 2 発明の会話型回路設計装置では、論理設計部、レイアウト設計部およびスピード解析

部がそれぞれの処理を実行している際、随時、他の処理に移行してその処理を実行することができるほか、論理設計後で実装的な配置を行なう前に、スピード解析部により、設計対象回路の配線バスについてのディレイ値が予測・算出され、より早い段階でディレイ計算結果を回路設計に反映させることができる（請求項 2）。

【0053】また、スピード解析部により、実装的な配置を行なった後で配線を行なう前には、接続すべきピン間の最短経路に基づいてディレイ値が見積もられるとともに（請求項 3）、実配線後には実配線結果に基づいてディレイ値が算出され、そのディレイ計算結果を配置設計や配線設計に反映させることができる（請求項 4）。

【0054】なお、第 2 発明においても、設計対象回路を成す各論理構成要素についてのディレイ値をその論理構成要素に入力される信号波形の鈍りに応じて設定変更することで、信号波形鈍りを考慮しながらスピード解析部によるディレイ計算を行なうことができる（請求項 5）。また、バストレース部により配線バスのトレース処理を行なう同時に、スピード解析部により、その配線 20 バスに沿って、信号波形の鈍りの変化を考慮しながらディレイ計算を行なうことができる（請求項 6）。

【0055】このとき、クロック系が設計済である場合、まず、バストレース部により指定クロックピンからのバストレースを行なうと同時にスピード解析部によりクロックバスディレイ値が算出されるとともに、指定クロックピンに接続される論理構成要素のピンにフラグが設定される。そして、バストレース部により、全ての論理構成要素のクロック入力ピンから配線バスのトレース処理が行なわれ、フラグを設定されたピンがトレースされる度にタイミングチェック部が起動され、そのピンの 30 属する論理構成要素についてのクロックタイミングチェックが実行される。従って、クロック系からのクロック信号を受けて動作する膨大な数の論理構成要素間の全ての組合せの配線バスに対し、網羅的に且つ自動的にクロックタイミングチェックを行なうことができる（請求項 7）。

【0056】また、ディレイ値設定部により任意のピンに対し所定ディレイ値を設定し、スピード解析部によるディレイ計算時にその所定ディレイ値を加算することで、異なる周期（非同期）のクロック信号で動作する配線バスについて同時にクロックタイミングチェックを行なうことができるほか、ディレイ値を任意のピンで任意の値に初期化することが可能になる（請求項 8）。

【0057】一方、クロック系が未設計である場合には、サーチ部により、そのクロック系に接続される論理構成要素が全てサーチされ、サーチされた論理構成要素のピンにフラグが設定される。そして、バストレース部により、全ての論理構成要素のクロック入力ピンから配線バスのトレース処理が行なわれ、フラグを設定された 50 ピンがトレースされる度にタイミングチェック部が起動

され、そのピンの属する論理構成要素についてのクロックタイミングチェックが実行される。従って、クロック系が未設計の状態であっても、クロック系からのクロック信号を受けて動作する膨大な数の論理構成要素間の全ての組合せの配線パスに対し、網羅的に且つ自動的にクロックタイミングチェックを行なうことができ、そのチェック結果をクロック系の配線設計に反映させることができる(請求項9)。

【0058】また、各論理構成要素のピン毎に、バストレース部にてトレースされた回数をカウンタにより計数することで、全てのバストレースを終了した時点でカウンタによるカウント値に基づいて、信号が通過する割合の高いピンを把握することができる(請求項10)。そのカウント結果に基づく各ピンにおける信号の通過頻度の大小に関する情報が表示部に表示されることにより、設計者は、表示部を参照するだけで、信号通過頻度の高いピンつまりはディレイ改善等に大きな影響を及ぼすピンを判別することができる(請求項11)。

【0059】さらに、範囲設定部にてトレース処理およびディレイ計算処理の実行範囲を設定することにより、その実行範囲内のみでトレース処理およびディレイ計算処理が実行されてその処理結果が表示部に表示されるので、設計者が必要とする範囲についてのみ処理の実行および表示を行なうことができる(請求項12)。また、トレース制御部により、入力部からの指示に応じてフォワードトレース、バックワードトレースもしくは2点間トレースのいずれかが選択され、バストレース部の動作を自動的に切換制御することができる(請求項13)。この時、バックワードトレースについてはバストレースと同時にディレイ計算を行なうことができないため、常にディレイ計算を実行するものとする、処理時間が長くなる場合がある。そこで、バックワードトレースについてはディレイ計算を行なうか否かのモードを予め設定することで、設計者が要望する場合のみディレイ計算を実行させることができる(請求項14)。

【0060】さらに、トレース結果およびディレイ計算結果が、トレース到達ピンのリストとしてソートされて表示部に表示されるので、設計者は、表示部上の表示からトレース到達ピンのピン名やディレイ値の大小を表示部上の表示から容易に把握することができる(請求項15)。この時、トレース到達ピンのリストを階層的に表示部に表示し、その表示部上で選択された上位階層の情報に対応する下位階層の情報を表示部に表示することで、膨大な数のトレース到達ピンを表示部上でコンパクトに表示することができるほか(請求項16)、外部ファイル書込部によりトレース到達ピンのリストを外部ファイルに書き込むことで、そのリストを外部ファイルに保存したり退避させたりすることができる(請求項17)。

【0061】また、模式的な到達経路図とともに、その

到達経路図の位置に応じてディレイ値および累積ディレイ値を示すグラフを表示部に表示することで、設計者は、配線パスの中で信号通過に要する時間がかかる箇所を一目で判別することができる(請求項18)。この時、模式的な到達経路図やグラフを複数の配線パスについて同時に表示部に表示することで、設計者は、複数の配線パスのディレイ状況を表示部上で参照しながら比較することができる(請求項19)。

【0062】また、前述した模式的な到達経路図やグラフを印字部により印字出力することで、設計者は印字結果を参照しながら配線パスのディレイ状況を検討できるほか(請求項20)、外部ファイル書込部により模式的な到達経路図やグラフに関するデータを外部ファイルに書き込むことで、そのデータを外部ファイルに保存したり退避させたりすることができる(請求項21)。

【0063】さらに、入力部からの指示に応じて、模式的な到達経路図に対応する実回路図を表示部に表示させることで、設計者は、模式的な到達経路図の実回路上での位置を表示部上で把握することも可能である(請求項22)。またさらに、バストレース部によりトレースされた全ての配線パスを、ピン名を付して木構造形式で表示部に表示するとともに、入力部からの指示により表示部上で選択したピンについての詳細情報を表示部に表示することで、設計者は、当該配線パスの全体を把握しながら各ピンについての詳細情報を容易に得ることができる(請求項23)。

【0064】上述した第3発明の会話型回路設計装置では、表示制御部により、特徴点の座標が、座標軸毎に昇順または降順にソートされその順位に比例した座標値に置換された上で表示部に表示されるので、設計者は、設計対象回路の詳細部分も全体像も同時に表示部上で把握することができる(請求項24)。この時、前記特徴点として、ピン間を接続するワイヤの両端点と、そのワイヤ上の内分点とを取り出して表示することで、設計対象回路を表示部上でより見やすく表示することができる(請求項25)。

【0065】また、配線接続状況が多層にわたる場合には、表示制御部により、前記置換後の座標値に層順に比例するオフセットを加算した上で、前記特徴点を表示部に表示することで、設計者は、層を介して重なった配線線分を表示部上で容易に把握することができる(請求項26)。さらに、前記特徴点毎に、その座標の置換前と置換後とで共通の識別子を予め設定することで、設計者は、置換前と置換後とで特徴点間の対応を容易に認識することができる(請求項27)。

【0066】上述した第4発明の会話型回路設計装置では、実装的な配置を決定した段階で配線経路予測部により各論理構成要素間に仮想的な配線が行なわれ配線経路が予測され、レイアウト設計部により、配線経路予測部による予測結果に基づいて決定された配線順序および迂

10

20

30

40

50

回率に従って各論理構成要素間の実配線が行なわれるので、配線の状態を予測しながら効率のよい実配線を行なうことが可能になる（請求項 28）。

【0067】この時、混雑度計算部により、設計対象回路上の各格子内での混雑度が〔（配線経路予測部による予測結果に基づく予想使用チャネル数）／（各格子内での使用可能チャネル数）〕として算出されるとともに、その混雑度のランク付けが行なわれ、レイアウト設計部により、混雑度計算部からのランク付け情報に基づいて配線が混雑するものと予測される領域から実配線が実行され、効率のよい実配線を行なうことができる（請求項 29）。

【0068】また、配線可能性判定部により、配線経路予測部の予測結果に基づいて予め指定された迂回率での配線可能性が判定され、配線不可能と判定された場合には、レイアウト設計部により、配線可能な迂回率が決定されて実配線が行なわれるので、配線不能となる部分ができる限り少なくできる（請求項 30）。さらに、レイアウト設計部による配線が多層にわたる場合には、配線経路予測部により各配線層毎に配線経路が予測されるとともに、混雑度計算部によりその各配線層毎の予測結果に基づいて混雑度が算出され、レイアウト設計部により、混雑度計算部にて算出された各配線層毎の混雑度に基づき混雑度が高いと予想されるチャネルを使用する必要度の高いネットの実配線を優先的に行なうことで、効率のよい実配線を行なうことができる（請求項 31）。

【0069】上述した第 5 発明の会話型回路設計装置では、レイアウト設計部による配線が多層にわたり且つ主配線方向の同じ配線層が複数存在する場合、各配線層毎に異なる配線長さを予め指定し、レイアウト設計部により、配線方向および配線長さに応じて複数の配線層中から選択した配線層に対して実配線が行なわれるので、各配線層を有効に利用することができる（請求項 32）。

【0070】上述した第 6 発明の会話型回路設計装置では、レイアウト設計部により、配線対象ネットをディレイに対するクリティカル度によって分類し、そのクリティカル度に応じた配線順序および迂回率に従って各論理構成要素間の実配線が行なわれるので、クリティカル度を考慮しながら効率のよい実配線を行なうことができる（請求項 33）。

【0071】この時、レイアウト設計部により、前記クリティカル度に応じて設定した配線許容度に従って他ネットの実配線を行なうことで、クリティカル度の高いネットに対して配線寄生容量が発生してディレイが増大するのを防止することができる（請求項 34）。上述した第 7 発明の会話型回路設計装置では、配置チェック部により、配置エラーを起こした論理構成要素が存在すると判断された場合、配置エラーを起こした論理構成要素の一覧リストが表示部に表示され、且つ、その論理構成要素が表示部における配置マップ上で強制的に表示される

ので、設計者は、直ちに配置エラーの発生を認識することができる（請求項 35）。

【0072】この時、入力部からの指示により論理構成要素一覧リスト上で特定の論理構成要素を選択すると、その論理構成要素のみを配置マップ上で強制的に表示することができ、設計者は、配置エラーを起こした論理構成要素を特定しながら表示部の配置マップ上で確認することができる（請求項 36）。上述した第 8 発明の会話型回路設計装置では、既に配線済のネットに対して指定配線長を加えた再配線を行なう旨の指示が入力部から入力されると、レイアウト設計部により、混雑度計算部による計算結果に基づいて混雑度の低い領域が選択され、その領域内における配線済のネットに対して前記指定配線長を加えた指定長配線が自動的に行なわれるので、再配線処理を簡易化することができる（請求項 37）。

【0073】また、上述した第 9 発明の会話型回路設計装置では、既に配線済のネットに対して指定配線長を加えた再配線を当該ネットを含む所定領域内で行なう旨の指示が入力部から入力されると、レイアウト設計部により、前記所定領域内における当該配線済のネットに対して前記指定配線長を加えた指定長配線が前記所定領域内で自動的に行なわれるので、やはり再配線処理を簡易化することができる（請求項 38）。

【0074】上述した第 10 発明の会話型回路設計装置では、既に配置済の論理構成要素の配置位置を変更する旨の指示が入力部から入力されると、レイアウト設計部により、当該論理構成要素に繋がるべきネットが既に配線済であれば、再配置後の当該論理構成要素と当該ネットとの間の再配線が自動的に行なわれるので、設計者が再配置後の再配線処理を行なう必要がなくなり、再配置処理を簡易化することができる（請求項 39）。

【0075】上述した第 11 発明の会話型回路設計装置では、配置マップのマルチウインドウ表示を行なう際に、1つの配置マップ上で配置処理や配線処理を行なった場合でもその処理を他の配置マップに連携させて表示することができるほか、複数の配置マップを同時に使用して配置処理や配線処理を行なうことができる（請求項 40）。

【0076】上述した第 12 発明の会話型回路設計装置では、階層レイアウト設計を行なう際に、配置領域設定部により設定された配置領域内に仮想ブロック端子を配置しながらレイアウト設計部による配線処理が実行されるので、設計者の意図を反映しながら仮想ブロック端子を自動的に配置することができる（請求項 41）。この時、グルーピング部により登録された集合体単位で、前記配置領域を設定することができ、同一種類の信号についての複数の仮想ブロック端子を同一の配置領域に配置させる指示を容易に行なうことができる（請求項 42）。

【0077】上述した第 13 発明の会話型回路設計装置

では、階層レイアウト設計を行なう際に、配置禁止領域設定部により設定された禁止領域以外の領域に仮想ブロック端子を配置しながらレイアウト設計部による配線処理が実行されるので、設計者の意図を反映しながら仮想ブロック端子を自動的に配置することができる（請求項 43）。

【0078】上述した第14発明の会話型回路設計装置では、階層レイアウト設計を行なう際に、配置位置決定部により、あるレイアウト階層ブロック内におけるピン座標の重心と接続すべき他のレイアウト階層ブロックの方向とに基づいて、当該レイアウト階層ブロックの仮想ブロック端子の配置位置が決定され、レイアウト設計部により、前記配置位置に仮想ブロック端子を配置しながら複数のレイアウト階層ブロック間の配線処理が実行されるので、設計者の意図を反映するとともにレイアウト階層ブロック内の論理構成要素の配置や配線を考慮しながら、仮想ブロック端子を自動的に配置することができる（請求項 44）。

【0079】上述した第15発明の会話型回路設計装置では、階層レイアウト設計を行なう際に、配置位置決定部により、相互に接続される各レイアウト階層ブロック内におけるピン座標の重心とこれらの重心間を接続するスタイナー木とに基づいて、各レイアウト階層ブロックの仮想ブロック端子の配置位置が決定され、レイアウト設計部により、前記配置位置に仮想ブロック端子を配置しながら複数のレイアウト階層ブロック間の配線処理が実行されるので、設計者の意図を反映するとともにレイアウト階層ブロック内の論理構成要素の配置や配線を考慮しながら、仮想ブロック端子を自動的に配置することができる（請求項 45）。

【0080】上述した第16発明の会話型回路設計装置では、チップ表面に入出力端子（パンプ）を有する回路が設計対象回路である際、その入出力端子に配線接続されるべき入出力回路（論理構成要素）の設計対象回路上での配置位置が既に決定している場合に、配置可能位置決定部により、入出力回路のピン位置に最も近い入出力端子配置可能位置が求められ、レイアウト設計部により、前記入出力端子配置可能位置と入出力回路のピンとの間の配線処理が実行されるので、パンプをもつ回路の階層レイアウト設計を行なう場合でも、パンプと入出力回路のピンとの間を制限値以内の配線長で配線することが容易に行なわれる（請求項 46）。

【0081】上述した第17発明の会話型回路設計装置では、チップ表面に入出力端子（パンプ）を有する回路が設計対象回路である際、そのパンプの設計対象回路上での配置位置が既に決定している場合に、制限領域設定部により、入力部からの指示に応じて入出力回路の配置位置を制限する制限領域が設定され、レイアウト設計部により、前記制限領域内に入出力回路が配置されるとともに、入出力回路のピンとパンプとの間の配線処理が実

行されるので、パンプをもつ回路の階層レイアウト設計を行なう場合でも、パンプと入出力回路のピンとの間を制限値以内の配線長で配線することが可能になる（請求項 47）。

【0082】

【実施例】以下、図面を参照して本発明の実施例を説明する。

（a）本実施例の装置の基本構成の説明

図1は本発明の一実施例としての会話型回路設計装置の基本構成を示すブロック図で、この図2において、10は論理回路情報、レイアウト情報、ディレイ計算用のデータ（後述）など一切の情報を格納するデータベース（DB）、11は後述する各種回路設計過程を表示する表示部、12はこの表示部11上における表示状態を制御する表示制御部、13は表示部11上の表示データを参照し設計者がその表示データに対する応答情報を入力するキーボード、マウス等の入力部である。

【0083】14は設計対象回路（本実施例ではLSI等の集積回路とする）についての論理設計を行なう論理設計部、15はレイアウト設計部で、このレイアウト設計部15は、図3にて後述することく構成され、論理設計部14による論理設計結果に基づいて、設計対象回路を成す各論理構成要素〔本実施例ではフリップフロップ等のセルであり、ゲートあるいは素子と呼ぶ場合もある〕の実装的な配置を行なった後、各セル間の配線を行なうものである。

【0084】また、16はスピード解析部で、このスピード解析部16は、図2にて後述することく構成され、レイアウト設計部15による設計結果に従う設計対象回路上の各バス毎に、ディレイ計算に基づくスピード解析を行なうものである。さらに、17は本実施例の会話型回路設計装置を構成する各部を統括的に管理するためのCPUである。

【0085】そして、本実施例では、上述した論理設計部14、レイアウト設計部15およびスピード解析部16が、同一のシステム（装置）内にそなえられ、CPU17の管理のもと、随時、相互に連係可能に接続されるほか、論理設計部14、レイアウト設計部15およびスピード解析部16による処理結果は、後述することく、随時、表示制御部12により表示部11に表示されるほか、データベース10に格納されるようになっている。

【0086】18は外部ファイル書込部で、この外部ファイル書込部18は、入力部13からの指示に応じて、後述することく表示制御部12により表示部11に表示されたトレース到達ピンのリストのほか到達経路図やグラフを外部ファイル18Aに書き込むものである。また、19は印字部で、この印字部19は、入力部13からの指示に応じて、後述することく表示制御部12により表示部11に表示されたトレース到達ピンのリストのほか到達経路図やグラフを所定の記録用紙に印字出力す

るものである。

【0087】なお、表示制御部12、論理設計部14、レイアウト設計部15およびスピード解析部16の機能は、具体的には、CPU17（もしくはCPU17と並列的にそなえられた他のCPU）が図示しないROMに格納されたプログラム（ソフトウェア）を実行することにより実現されるものであるが、本実施例の図中では、各機能を明確すべく、表示制御部12、論理設計部14、レイアウト設計部15およびスピード解析部16

や、これらの各部14～16の有する後述する各機能をブロック化して示している。従って、本実施例の会話型回路計算装置は、CPU17、ROM（図示せず）、データベース10、表示部11、入力部13、外部ファイル書込部18、印字部19等を有する一般的な計算機システムを用いて実現することが可能である。

【0088】ところで、スピード解析部16は、図2に示すように、ディレイ計算部21、バストレース部22、タイミングチェック部23、フラグ設定部24、ディレイ値設定部25、サーチ部26、カウンタ27、範囲設定部28、トレース制御部29およびモード設定部30を有して構成されている。ここで、ディレイ計算部21は、レイアウト設計部15による設計結果に従う設計対象回路上の各配線バス毎にディレイ計算を行なってスピード解析部16の本体としての機能を果たすもので、本実施例では、図4～図6にて後述することく、設計対象回路を成すセル（ゲート）についてのバスディレイ値を、そのセルに入力される信号波形の鈍り（SLEW RATE）に応じて設定変更しながら、ディレイ計算を行なうものである。

【0089】バストレース部22は、入力部13からの指示により指定したセルの所定ピンに接続される配線バスをそのピンからトレースするもので、このバストレース部22が配線バスのトレース処理を行なうと同時に、本実施例では、ディレイ計算部21が、トレース処理と並行して、配線バスに沿って変化する信号波形の鈍りを算出してその鈍りに応じた配線バス上のセルのディレイ値を設定変更しながら、その配線バスについてのディレイ計算を行なうようになっている。

【0090】また、トレース制御部29は、上述したバストレース部22の動作を切換制御するためのもので、例えば、入力部13からの指示によりトレース開始ピンのみを指定した場合にはそのトレース開始ピンからのフォワードトレース（入力側から出力側へ向かうトレース）を実行し、入力部13からの指示によりトレース到達ピンのみを指定した場合にはそのトレース到達ピンからのバックワードトレース（出力側から入力側へ向かうトレース）を実行し、入力部13からの指示によりトレース開始ピンおよびトレース到達ピンの2点を指定した場合にはこれらの2点間のトレースを実行するように、バストレース部22の動作を切換制御するものである。

【0091】このようなトレース制御部29にはモード設定部30が付設されている。このモード設定部30は、トレース制御部29によりバストレース部22にバックワードトレースを実行させる際に、入力部13からの指示により、そのバックワードトレース終了後にディレイ計算部21にディレイ計算を実行させるか否かについてのモードを設定するものである。

【0092】タイミングチェック部23は、クロック信号が各論理構成要素に供給されるタイミングをチェックするものであり、フラグ設定部24は、セルがタイミングチェック部23のチェック対象であることを示すフラグを設定するためのものである。また、ディレイ値設定部25は、入力部13からの指示に応じてバストレース部22によりトレースされた任意のピンに対し所定ディレイ値を設定するものであり、サーチ部26は、各セルに対してクロック信号を供給するクロック系が未設計である場合に、クロック系に接続されるクロック入力ピンをもつセルを全てサーチするものである。

【0093】これらのタイミングチェック部23、フラグ設定部24、ディレイ値設定部25およびサーチ部26は、後述することく、フラグを設定されたピンの属するセルについてのクロックタイミングチェックを行なうようになっている。また、ディレイ値設定部25は、後述することく、ディレイ値を任意のピンで任意の値に初期化するための機能も果たす。

【0094】さらに、カウンタ27は、設計対象回路を成す各セルのピン毎に設けられ、各ピンがバストレース部22によってトレースされた回数を計数するものであり、範囲設定部28は、入力部13からの指示に応じてバストレース部22による配線バスのトレース処理およびディレイ計算部21によるディレイ計算処理の実行範囲を設定するものである。

【0095】なお、本実施例の表示制御部12は、スピード解析部16の処理に応じ、次のような各種機能①～④を果たすようになっている。

①カウンタ27により計数された各ピン毎の計数値に基づく各ピンにおける信号の通過頻度の大小に関する情報を、表示部11に表示させる機能。

②範囲設定部28により設定された実行範囲についての処理結果のみを表示部11に表示させる機能。

【0096】③バストレース部22によるトレース結果およびディレイ計算部21によるディレイ計算結果をトレース到達ピンのリストとして表示部11に表示させる機能（図10～図20にて後述）。この③の機能に対応して、表示制御部12は、そのリストの表示状態を、トレース到達ピンのピン名もしくは各トレース到達ピンのディレイ値に応じてソートするソート機能（図11～図13参照）をそなえるほか、そのリストを階層的に表示部11に表示させ（図14参照）、入力部13からの指示により表示部11上の上位階層の情報が選択される

【００９７】④バストレース部２２によるトレース結果を模式的な到達経路図（図１５下段参照）として表示部１１に表示させるとともに、そのトレース結果に対応するディレイ計算部２１によるディレイ計算結果を、その模式的な到達経路図の位置に応じたディレイ値および累積ディレイ値を示すグラフ（図１５上段参照）として表示部１１に表示させる機能。

【００９９】また、本実施例の表示制御部１２は、論理設計部１４による論理設計結果やレイアウト設計部１５による配置／配線結果を回路設計過程（ビンやビアなどの特徴点間の配線接続状況）として表示部１１に表示させる際に、次のような機能を果たすようになっている。つまり、表示制御部１２は、図２１～図２９にて後述することく、セルのビンやビア等の特徴点の座標を、座標軸毎に昇順または降順にソートしてその順位に比例した座標値に置換した上で、その特徴点を表示部１１に表示させる機能を有している。

【0101】なお、前記特徴点毎に、その座標の置換前と置換後とで共通の識別子を予め設定され、図21～図25に示すように、その識別子を各特徴点に付した状態で、表示部11上での配線接続状況の表示が行なわれるようになっている。一方、レイアウト設計部15は、図

【０１０２】ここで、配置部３１は、論理設計部１４による論理設計結果に基づいて、設計対象回路を成す各セルの実装的な配置を行なうものであり、配線部３２は、配置部３１により設計対象回路上にセルが実装的に配置された後、各セル間の配線を自動的に行なうものであり、これらの配置部３１および配線部３２が、レイアウト設計部１５の本体としての機能を果たしている。

【 0 1 0 3 】配線経路予測部 3 3 は、配置部 3 1 により各セルの実装的な配置を決定した段階で、各セル間に仮想的な配線を行なって配線経路を予測するものであり、混雑度計算部 3 4 は、設計対象回路を格子状の多数の領域に分割し、設計対象回路上で配線の混雑度を、各格子内での使用可能チャネル数に対する、配線経路予測部 3 3 による予測結果に基づく予想使用チャネル数の割合として算出し、その混雑度の大小に基づいて各格子のランク付けを行なって混雑度マップ（図 3 0 参照）作成するものである。また、配線可能性判定部 3 5 は、配線経路予測部 3 3 による予測結果に基づいて予め指定された迂回率での配線可能性を判定するものである。

【0104】そして、配線部32は、配線経路予測部33による予測結果に基づいて配線順序および迂回率を決定してから、決定された配線順序および迂回率に従って各セル間の実配線を行なうが、具体的には、図30、図31にて後述することく、混雑度計算部34により作成された混雑度マップに基づいて各格子のランク付けを行ない、混雑度の高い領域における実配線を優先的に行なうとともに、配線可能性判定部33により配線不可能と判定された場合には、配線可能な迂回率を決定するようになっている。

【0105】なお、配線部32による配線が多層にわたる場合には、図32にて後述することく、配線経路予測部33が各配線層毎に配線経路の予測を行なうとともに、混雑度計算部34が配線経路予測部33による各配線層毎の予測結果に基づいて混雑度を算出し、配線部32が、混雑度計算部34により算出された各配線層毎の混雑度の大小に基づいて、混雑度が高いと予想されるチャネルを使用する必要度の高いネットの実配線を優先的に行なうようになっている。

【0106】また、配線部32による配線が多層にわたり且つ主配線方向の同じ配線層が複数存在する場合、図33にて後述するごとく、前記主配線方向の同じ各配線層毎に異なる配線長さを予め指定しておき、配線部32が、配線方向および配線長さに応じて前記配線層の中から選択した配線層に対して実配線を行なうようになって

いる。

【0107】さらに、配線部32は、配線対象ネットをディレイに対するクリティカル度（予め設定されたディレイ値に対する配線余裕の程度）によって分類し、分類された各配線対象ネットに対して配線順序および迂回率を設定し、その配線順序および迂回率に従って各論理構成要素間の実配線を行なうこともできる。この場合、配線部32は、後述するごとく、クリティカル度に応じて、配線対象ネットに隣接して後で配線される他ネットの配線許容度を設定し、配線対象ネットの実配線後に配線許容度に従って他ネットの実配線を行なうようになっている。

【0108】なお、上述した例では、配線部32において配線順序を決定するための要素として混雑度、クリティカル度等を用いているが、いずれの要素を用いるかについては、装置ユーザの要望等により予め設定されるか、入力部13からの指示により設定される。配置チェック部36は、配置部31による各セルの配置後に配置エラーを起こしたセルが存在するか否かをチェックするもので、この配置チェック部36により配置エラーを起こしたセルが存在するものと判断した場合、本実施例では、表示制御部12が、配置エラーを起こしたセルの一覧リスト（図35参照）を表示部11に表示させるとともに、その配置エラーを起こしたセルを表示部11における設計対象回路の配置マップ上で強制的に表示させる機能（図35参照）を果たすようになっている。この時、表示制御部12は、入力部13からの指示によりセル一覧リスト上で選択した特定のセルのみを、配置マップ上で強制的に表示させる機能も有している。

【0109】なお、本実施例のレイアウト設計部15は、次のような再配線処理機能①、②や再配置処理機能③も有している。

①入力部13から、既に配線済のネットに対して指定配線長を加えた再配線を行なう旨の指示が入力されると、図36にて後述するごとく、配線部32が、混雑度計算部34の混雑度マップに基づいて混雑度の低い領域を選択し、選択した領域内における配線済のネットに対して指定配線長を加えた指定長配線を自動的に行なう再配線処理機能。ただし、このとき、混雑度計算部34は、配線部32により実行された実配線結果に基づき、前述した予想使用チャネル数に代え、実配線により得られた実使用チャネル数を用いて混雑度を算出して、混雑度マップを作成する。

【0110】②入力部13から、既に配線済のネットに対して指定配線長を加えた再配線をそのネットを含む所定領域内で行なう旨の指示が入力されると、図37にて後述するごとく、配線部32が、所定領域内における配線済のネットに対して指定配線長を加えた指定長配線を所定領域内で自動的に行なう再配線処理機能。

③入力部13から、既に配置済のセルの配置位置を変更

する旨の指示が入力されると、図38にて後述するごとく、そのセルに繋がるべきネットが既に配線済であれば、配置部31により配置位置変更（再配置）を行なった後に、配線部33が、当該セルとそのネットとの間の再配線を自動的に行なう再配置／再配線処理機能。

【0111】また、本実施例の表示制御部12は、レイアウト設計部15によるレイアウト設計処理に連携する機能として、次のようなマルチウインドウ表示機能（図39、図40にて後述）を有している。つまり、表示制御部12が表示部11に設計対象回路についての配置マップを複数表示させた状態（即ちマルチウインドウ表示状態）で、レイアウト設計部15が入力部13からの指示により複数の配置マップのうちの少なくとも1つの配置マップ上で配置処理もしくは配線処理を行なった場合に、表示制御部12は、その処理対象の部分を表示する他の配置マップ上でも当該処理による結果を連携して表示させる機能を有している。

【0112】さらに、配置領域設定部37、グルーピング部38、配置禁止領域設定部39および配置位置決定部40は、本実施例のレイアウト設計部15（配線部32）により階層レイアウト設計を行なう際の機能を拡充するためのものであり、配置可能位置決定部41および制限領域設定部42は、本実施例のレイアウト設計部15（配線部32）により、チップ表面に入出力端子を有する回路（例えばバンパ付LSI；図47参照）の階層レイアウト設計を行なう際の機能を拡充するためのものである。

【0113】ここで、配置領域設定部37は、図41、図42にて後述するごとく、入力部13からの指示に応じて仮想ブロック端子（以下、仮端子という場合もある）を各レイアウト階層ブロック（LSG）の境界で配置すべき配置領域を設定するもので、本実施例の配線部32は、配置領域設定部37により設定された配置領域内に仮想ブロック端子を配置しながら配線処理を実行するようになっている。

【0114】この時、図43にて後述するごとく、入力部13からの指示に応じて複数の仮想ブロック端子を1つの集合体（グループ）として登録するグルーピング部38を配置領域設定部37に付設することで、配置領域設定部37は、入力部13からの指示に応じて、グルーピング部38により登録された集合体毎に、配置領域を設定できるようになっている。

【0115】配置禁止領域設定部39は、図44にて後述するごとく、入力部13からの指示に応じて各レイアウト階層ブロックの境界で仮想ブロック端子の配置を禁止する禁止領域を設定するもので、本実施例の配線部32は、配置禁止領域設定部39により設定された禁止領域以外の領域に仮想ブロック端子を配置しながら配線処理を実行するようになっている。

【0116】配置位置決定部40は、図45、図46に

10

20

30

40

50

て後述することく、仮想ブロック端子を配置すべき各レイアウト階層ブロックの境界上での配置位置を決定するもので、配線部32は、配置位置決定部40により決定された配置位置に仮想ブロック端子を配置しながら複数のレイアウト階層ブロック間の配線処理を実行するようになっている。

【0117】また、配置可能位置決定部41は、入出力端子（パンプ）に配線接続されるべき入出力回路（セル）の設計対象回路上での配置位置が既に決定している場合に入出力回路のピン位置に最も近い入出力端子配置可能位置を求めるもので、この配置可能位置決定部41が動作した場合、図48にて後述することく、配線部32が、配置可能位置決定部41により決定された入出力端子配置可能位置と入出力回路のピンとの間の配線処理を実行するようになっている。

【0118】さらに、制限領域設定部42は、入出力端子（パンプ）の設計対象回路上での配置位置が既に決定している場合に、入力部13からの指示に応じて入出力端子とこの入出力端子に接続されるべき入出力回路の配置位置を制限する制限領域を設定するもので、この制限領域設定部42が動作した場合、図49にて後述することく、配置部31が、制限領域設定部42により設定された制限領域内に入出力回路を配置するとともに、配線部32が、入出力回路のピンと入出力端子との間の配線処理を実行するようになっている。

【0119】（b）本実施例のディレイ計算およびバストレースの説明【(b1)～(b11)】

（b1）まず、図4、図5により、本実施例のスピード解析部16におけるディレイ計算部21による、入力波形鈍りを考慮したディレイ計算について説明する。従来、ゲート（セル）のバスディレイ値は、ゲートの入力／出力の負荷容量や負荷駆動能力に応じてスタティックな値として計算されている。しかし、ゲートのバスディレイ値は、前述したように、着目ゲートに入力される信号の波形鈍り（入力波形鈍り）によっても大きく影響される。信号の波形鈍りは、配線バスの容量の大きさによって大きくなり、特に長い配線バスを通過してきた信号程、その波形鈍りは大きくなる。

【0120】そこで、本実施例では、データベース10に、入力波形鈍りに対するバスディレイ値の関数を予め格納しておき、ディレイ計算部21が配線バスのディレイ値を計算する際には、着目ゲートに入力される信号の鈍り T_{sin} に応じた値を、データベース10の関数に基づいて算出し着目ゲートのバスディレイ値 T_O として設定する。そして、そのバスディレイ値 T_O が、ディレイ計算部21において配線バスのディレイ値に加算される。

【0121】このとき、前記関数は例えば1次関数として与えることができる。つまり、ある波形鈍りが入った

場合の假定ディレイ値とその假定ディレイ値をベースにした所定傾きとを、少なくとも1組、データベース10に格納しておくことにより、着目ゲートのバスディレイ値 T_O をダイナミックに設定することができる。ここで、図5に示すような回路の着目ゲート g_2 のバスディレイ値を設定する場合について、図4に示すような入力波形鈍り T_{sin} とバスディレイ値 T_O との関係を参照しながら説明する。

【0122】なお、入力波形鈍り T_{sin} とバスディレイ値 T_O との関係として、ある配線容量（負荷容量）について、図4に示すように、予め3点 a 、 b 、 c のデータが得られているものとする。また、図5に示す回路では、配線バス上に2つのゲート g_1 、 g_2 が設けられ、ゲート g_1 前段のネット（配線）の負荷容量を C_1 、ゲート g_1 、 g_2 間のネットの負荷容量を C_2 、ゲート g_3 後段のネットの負荷容量を C_3 とする。信号は、図5中、左方から右方へ進行するものとする。図5において、ゲート g_2 を着目ゲートとする。従って、ゲート g_1 はゲート g_2 に対するドライバゲートとなっている。

【0123】図4に示すような3点 a 、 b 、 c の特性により、入力波形鈍り T_{sin} に対するバスディレイ値 T_O が与えられた場合、着目ゲート g_2 に入力される信号の入力波形鈍り X を、図5におけるゲート g_1 に適当な値（平均的な値）の入力波形鈍りをもつ信号が入力したものと仮定して、ネットの負荷容量 C_1 、 C_2 およびドライバゲート g_1 の負荷駆動能力により計算する。

【0124】このように計算された入力波形鈍り X に対応するバスディレイ値 T_{Ox} を、既知の2点 a 、 c に基づく補間計算により求めるとともに、図4に示すグラフの傾きとして、2点 a 、 b から α を、2点 b 、 c から β を求め、これらの値（ α 、 β 、 B 、 X 、 T_{Ox} ）を着目ゲート g_2 のバスディレイデータとしてデータベース10に保存する。なお、 B は既知の点 b における入力波形鈍りである。

【0125】ここで、入力波形鈍り X を計算する際に、着目ゲート g_2 の前段ゲート（ドライバゲート） g_1 に適当な値を設定して着目ゲート g_2 のディレイ値を仮に計算したが、この値はある程度入力波形鈍りを考慮しているので、固定ゲートディレイ値を使用してバストレースを行なう時でも、ある程度精度の高いディレイ計算が可能である。

【0126】このように、バストレースによるディレイ計算を行なうとともに、ゲートの入力波形鈍りも同時に計算することにより、正確なディレイ計算を高速に行なうことができる。

（b2）ゲート間ネットのディレイは、回路の実装形態により大きく3つに区分できる。1つ目はゲート配置前（論理設計部14による論理設計後）のディレイであり、2つ目はゲート配置後（実配線前）のディレイであり、3つ目は実配線が行なわれた後のディレイである。

本実施例の装置は、これら 3 つの実装形態のそれぞれについてネットリストを作成して、各実装形態で同一のディレイ計算式によりネットのディレイ値を計算し、そのディレイ値を回路設計に反映している。

【0127】各実装形態でのネットリストを以下に示す。

①ゲート配置前では、ドライバ(D)－レシーバ(R)間の線長、レシーバ(R)－レシーバ(R)間の線長、LSG間の線長を指定可能にして、指定された線長を用い、論理設計結果に基づいてネットの配線長を仮定する。例えば、経験的なディレイ値を参考にして、D－R間を100グリッド(1グリッド=1.6μm)、R－R間を100グリッド、LSG間を1000グリッドとして、論理設計結果からネットの配線長を仮想的に算出する。このときの配線容量としては、単位当たりの実配線容量に対し、適当な隣接ネットが存在するものとして(例えば、一方の側全てに隣接ネットが存在するものとして)、適当に配線寄生容量を割増・加味して設定した論理配線容量を用いる。

【0128】②ゲート配置後では、ゲートのピン位置により、例えばスタイナー木を用いて最短距離を算出し、その最短距離を論理配線長として用いる。この時の配線容量としては、前述した論理配線容量を用いる。また、配線層が複数存在する場合には各層毎に、使用割合、単位長さ当たりの論理配線容量および論理配線抵抗を設定する。

【0129】③ゲート間実配線後では、実際に各配線層の配線の実長が得られ、また、配線容量としては、その実長と、他のネットとの隣接状況とに基づいて算出される実配線容量が用いられる。各実装形態毎に、上述した配線長および配線容量を用いて、ディレイ値が予測・算出される。

【0130】このようにして、本実施例では、ゲート配置前に、スピード解析部16により、設計対象回路の配線バスについてのディレイ値が予測・算出され、より早い段階でディレイ計算結果を回路設計に反映できるので、より微細化し集積度の高い回路を極めて効率よく設計することができる。また、スピード解析部16により、ゲート配置後には、接続すべきピン間の最短経路に基づいてディレイ値が見積もられるとともに、実配線後には実配線結果に基づいてディレイ値が算出され、そのディレイ計算結果を配置設計や配線設計に反映でき、ディレイ値を常に考慮しながら回路設計できる。

【0131】(b3)本実施例のバストレース部22により設計対象回路の配線バスをトレースする際には、与えられた1つのピンから全ての到達ピン(FF, RAM等の入力ピンやLSI出力ピン等)までのルート(配線バス)を見つけ出し、その一つ一つについて、入力波形鈍りとこの入力波形鈍りに応じたディレイ値とをディレイ計算部21により計算し、そのディレイ値を順次伝播

することにより、各ルートのディレイ値がトレースと同時に算出されるようになっている。なお、このようなトレース処理およびディレイ計算は、前述した3つの実装形態それぞれにおいても適用される。

【0132】例えば図6に示すように、バスディレイ値Txをもつ着目ゲートg3と、その前段に配置され3つの異なる負荷容量のネットA, B, Cからの信号を受けるドライバゲートg4とが配置された配線バスを考える。従来、図6に示すような回路では、着目ゲートg3のバスディレイ値Txは固定値であり、前段ゲートg4に繋がる負荷容量の異なる3つのネットA～Cのいずれから入力された信号についても、ディレイ計算時の着目ゲートg3のバスディレイ値Txとしては同じ値を使用していた。

【0133】しかし、前述した通り、実際には、入力波形鈍りの大きさによって、着目ゲートg3のバスディレイ値は変化するものである。その特性に応じたバスディレイ値を設定しなければ正確なディレイ計算を行えない。また、一般的には、3つのネットA～Cからの信号のうち、負荷容量の大きなネットAからの信号の波形鈍りが最も大きく、負荷容量の最も小さいネットCからの信号の波形鈍りが最も小さくなる。しかし、波形鈍りは順次伝播していくので、ネットAの前段での信号鈍りは極めて小さいかもしれないし、ネットCの前段には極めて大きな鈍りの信号が入力するかもしれない。

【0134】従って、本実施例のごとく、ディレイ計算(バストレース)のスタート地点から波形鈍りとともにディレイ値を計算することで、正確なバスディレイ値を高速に算出することができる。

(b4)本実施例では、前述したディレイ計算部21、バストレース部22、タイミングチェック部23、フラグ設定部24の機能により、クロック系およびFF(フリップフロップ; 情報を記憶する素子)間のディレイ計算を伴ったバストレースを行ない、クロック位相、スキュー等を考慮した、設計対象回路上の全FF間のデータバスを自動的にチェックすることができる。

【0135】各論理構成要素に対してクロック信号を供給するクロック系が設計済である場合には、最初に、タイミングチェック部23によりチェックを行なうべきクロック系のクロックピンとそのクロックピンから入力されるクロック信号の初期値および位相とを入力部13から指定する。そして、バストレース部22が、指定されたクロックピンから配線バスをトレースして、このクロックピンに接続される全てのFF, RAM等をサーチしながら、ディレイ計算部21によりクロックバスディレイ値を算出し、その値を保存する。この際、クロックのルートであることを識別できるフラグを、フラグ設定部24によりFF, RAMの各ピンに付加しておく。

【0136】ついで、バストレース部22が、サーチされた全てのFF, RAMのクロック入力ピンから一つ一

つ網羅的にバストレースを走査しない、各FF、RAMのデータピンまでのバスディレイ値をディレイ計算部21により求める。このトレースに際して、フラグ設定部24により設定されたフラグがONのピンに合流した場合には、そのピンがクロック制御ポイントでありタイミングチェックの対象の一つであるので、タイミングチェック部23が起動される。

【0137】タイミングチェック部23は、ディレイ計算部21により算出された当該ピンまでのディレイ値と、予め保存されているクロックバスディレイ値と、入力部13から指定されたクロック信号の初期値および位相とに基づいて、クロックスキューを考慮しながら、当*

$$(Tp1 + Tc1_{max}) + Td_{max} - (Tp2 + Tc2_{min}) + T_{setup} \leq \tau \quad (1)$$

$$(Tp1 + Tc1_{min}) + Td_{min} - (Tp2 + Tc2_{max}) + T_{hold} \geq 0 \quad (2)$$

ここで、(1)式はタイミング制約としてオーバディレイをチェックするための式であり、(2)式はタイミング制約としてレーシングをチェックするための式であり、これらの(1)、(2)式における各符号については、図7、図8を参照しながら説明する。なお、図7に示す回路は、タイミングチェック対象の2つのFFに対してそれぞれ異なるクロック端子からクロック信号が供給されるものであり、図8に示す回路は、タイミングチェック対象の2つのFFに対して同一のクロック端子からクロック信号が供給されるものである。

【0140】そして、(1)、(2)式において、 τ はクロックサイクルタイム(クロック周期)、 $Tp1$ 、 $Tp2$ は入力部13により指定された各FFに供給されるべきクロック信号の位相、 $Tc1_{max}$ 、 $Tc2_{max}$ は前述のごとく算出され保存されている各FFに対するクロックバスディレイ値の最大値、 $Tc1_{min}$ 、 $Tc2_{min}$ は前述のごとく算出され保存されている各FFに対するクロックバスディレイ値の最小値、 Td_{max} 、 Td_{min} はそれぞれバストレースに伴いディレイ計算部21により算出されたバスディレイ値の最大値および最小値、 T_{setup} 、 T_{hold} はそれぞれセットアップタイムおよびホールドタイムでこれらは各FFに対してもつマージン(FF内部でのディレイ値)である。

【0141】なお、図8に示す回路のように、データ送り側のFFのクロック信号とデータ受け側のFFのクロック信号とが同一である場合には、クロックルートが判っているので、各FFからクロック端子へのバックトレースを行ない、クロック信号ラインの分岐点Xをサーチすることも可能である。上述のように、本実施例では、クロック系からのクロック信号を受けて動作する膨大な数のFFやRAM間の全ての組合せの配線バスに対し、網羅的に且つ自動的にクロックタイミングチェックを行なうことができる。

【0142】(b5)一つのLSIの中にクロックサイクルタイムの異なる複数のクロック系が存在する場合には、あるクロック系を指定して前述したクロックタイミ

* 該ピンの属するFFもしくはRAMについてのクロックタイミングチェックを行なうことが可能になる。

【0138】タイミングチェック部23では、例えば、下記のような(1)、(2)式を用いて製造上のバラツキを考慮したチェックを行ない、その条件を満たさないバスについてのチェックリストや、そのチェック結果のバスディレイ分布図等を表示部制御部12により表示部11に表示させ、設計者に通知する。なお、ディレイ値は、基本的にはティビカルな値で計算されるが、実際に製造されたLSIには製造上のバラツキ(±40%程度)が生じる。

【0139】

ングチェックを行なうと、指定していない他のクロック系に接続されるFFやRAMは認識されないもので、異なるクロックサイクルで動作するFF間のタイミングチェックについては、クロック系毎に分けて行なえばよい。

【0143】しかし、例えば図9に示すように、一つのFF-B(フリップフロップ)が、異なるクロックサイクル1 τ 、n τ でそれぞれ駆動されるFF-A、FF-Cからデータを受ける場合には、前述した(1)、

(2)式は単一のクロックサイクルで動作させることを前提としているので、対応できずタイミングチェックを行なえないという事態が生じる。

【0144】そこで、本実施例では、前述したディレイ値設定部24の機能を用いることにより、以下のようにして、図9に示すような回路についてもタイミングチェック部23によるチェックを実行することができる。つまり、バストレース部22による配線バスのトレース中に現れたピン(例えば図9中のピンA)に対して、ディレイ値設定部24により所定ディレイ値を設定し、ディレイ計算部21によるディレイ計算時にその所定ディレイ値を自動的にバスディレイ値に加算させるのである。

【0145】図9に示す回路について具体的に説明すると、クロックサイクルn τ で動作しFF-Bへのデータ転送にn τ を要するFF-Cと、FF-Bとについてのタイミングチェックを行なう場合には、FF-CからFF-B間の点Xまでの配線バス上に存在する任意のピンAに対し、所定ディレイ値-(n-1)・ τ を設定し、このディレイ値-(n-1)・ τ をFF-CからFF-Bへのバストレース時にディレイ値として加算することにより、タイミングチェック部23において、上記(1)、(2)式による1 τ のクロックサイクルでのタイミングチェックを行なうことが可能になる。

【0146】このように、ディレイ値設定部24の機能を用いることで、異なる周期(非同期)のクロック信号で動作する配線バスについて同時にクロックタイミングチェックを行なうことができ、タイミングチェックを効率化することもできる。

(b6) 設計過程においては、FFやRAMに対してクロック信号を供給するクロック系が未設計であっても、データ系だけを設計した状態でFF間のタイミングチェックを大雑把に行なうことが要望される場合がある。このような場合、前述したようなクロック指定を行なうことができない。

【0147】そこで、本実施例では、クロック系が未設計である場合には、前述したサーチ部26の機能を用い、このサーチ部26によりLSI内のFFおよびRAMのクロック入力を全て見つけ出すとともに、クロックのルートであることを識別できるフラグを、フラグ設定部24によりFF、RAMの各ピンに付加しておく。この後、バストレーズ部22が、サーチされた全てのクロック入力ピンから一つ一つ網羅的にバストレーズを行ない、各FF、RAMのデータピンまでのバスディレイ値をディレイ計算部21により求める。

【0148】このトレースに際して、フラグ設定部24により設定されたフラグがONのピンに合流した場合には、そのピンがクロック制御ポイントでありタイミングチェックの対象の一つであるので、タイミングチェック部23が起動される。ただし、前記(1)、(2)式を用いてタイミングチェック部23がクロックタイミングチェックを行なう場合、ここではクロック系が未設計であるので、前述した値のうち T_{p1} 、 T_{p2} 、 $T_{cl_{max}}$ 、 $T_{c2_{max}}$ 、 $T_{cl_{min}}$ 、 $T_{c2_{min}}$ についてはゼロに設定し、大雑把なタイミングチェックを行なっている。

【0149】このように、本実施例では、クロック系が未設計であっても、サーチ部26の機能等を用いて、クロック系からのクロック信号を受けて動作する膨大な数のFFやRAM間の全ての組合せの配線バスに対し、網羅的に且つ自動的にクロックタイミングチェックを行なうことができ、そのチェック結果をクロック系やデータ系の設計に反映させることができる。

【0150】(b7) 本実施例では、前述した通り、ゲートの全てのピンに対してカウンタ27が設けられており、LSIの入力ピン、FFのクロックピン、RAMのクロックピンからバストレーズを行なう際には、トレースにより1回ピンを通過する度に、そのピンに設けられたカウンタ27を1ずつカウントアップする。これにより、バストレーズ部22により全てのトレースが終了した時点で、設計者は、各ピンにおけるカウンタ27による計数値を参照すれば、信号の通過する割合が最も高いピンを知ることができる。つまり、設計者は、ディレイ改善等に大きな影響を及ぼすピンを判別することができ、その判別結果を配置や配線の改善についての優先順位決定の目安とすることができる。

【0151】このとき、カウンタ27によるカウント結果に基づく各ピンにおける信号の通過頻度の大小に関する情報を、表示制御部12により、表示部11上で、リスト表示したり実装画面での高輝度表示を行なったりす

ることによって、設計者は、その情報を容易に参照・把握することができる。

(b8) また、本実施例では、範囲設定部28およびディレイ値設定部25の機能を用いることで、バスの切断およびディレイ値の初期化や加算の指定を行なっている。なお、ディレイ値設定部25によるディレイ値の加算処理については、異なるクロックサイクルのクロック系のタイミングチェックを行なう場合(図9にて前述)でも説明している。

【0152】つまり、入力部13からの指示に応じて範囲設定部28により設定された実行範囲内のみで、バストレーズ部22による配線バスのトレース処理およびディレイ計算部21によるディレイ計算処理を行なうとともに、表示制御部12により、範囲設定部28にて設定された実行範囲についての処理結果のみが表示部11に表示される。

【0153】このように処理の実行範囲を設定してバスの切断を行なうことにより、ループ箇所についての処理や表示を中止したり、論理的には信号は伝播されないがバスディレイ計算上信号が伝播してしまう回路等のためにバスディレイ計算を指定のピンで中止したりすることができる。また、トレース開始ピンを指定してフォワードトレースを行なったような場合、規模の大きな回路であれば、トレース到達ピンは極めて多くなり、全てのバスについて表示を行なうと非常に見つらくなるだけでなく、各バスのトレース処理やディレイ計算に膨大な時間を要してしまうが、範囲設定部28により実行範囲を設定することで、必要な部分についてのみ表示部11に表示するとともに、トレース処理およびディレイ計算を行なうことができ、処理時間を短縮できる。

【0154】さらに、極めて長いバスでディレイ計算に時間を要するような場合、範囲設定部28によりそのバスの途中のピンから処理を行なうように指定するとともにディレイ値設定部25によりその途中のピンに適当な初期値をディレイ値として与えることで、その前段までのディレイ値を無いようにして、ピン後段のバスについてのみディレイ計算を短時間で行ない、その結果を表示部11に表示することができる。

【0155】このように、設計者が必要とする範囲についてのみトレース処理およびディレイ計算処理の実行および表示を行なうことで、必要とする部分のデータのみが迅速に得られ、回路設計を効率化できるほか、ディレイ値を任意のピンで初期化することで、バス計算(ディレイ計算)のコントロールを実現できる。

(b9) バストレーズ部22によるトレース手法としては、フォワードトレース、バックワードトレース、2点間トレースの3つが挙げられるが、本実施例では、トレース制御部29の機能を用いることにより、バストレーズ部22に対して入力部13から指定されたトレースピンの種類に応じて、上記3つのトレース手法の自動切換

が行なわれる。

【0156】つまり、トレース開始ピン（ソースピン）のみを指定した場合にはそのトレース開始ピンからのフォワードトレースがバストレーヌ部22により実行され、トレース到達ピン（ターゲットピン）のみを指定した場合にはそのトレース到達ピンからのバックワードトレースがバストレーヌ部22により実行され、トレース開始ピンおよびトレース到達ピンの2点を指定した場合にはこれらの2点間のトレースがバストレーヌ部22により実行されることになる。

【0157】この時、バックワードトレースについてはバストレーヌと同時にディレイ計算を行なうことができない。従って、ターゲットピンからソースピンへのバックワードトレースを終了した後、再度、バストレーヌ部22により、各ソースピンからターゲットピンへのフォワードトレース（バックトレース）を行ないながら、ディレイ計算部21によるディレイ計算を行なっている。全てのバスについて上述のような処理を行なっていると、バックワードトレースによってサーチされたソースピンが多くなるほど、膨大な時間を要することになる。

【0158】そこで、本実施例では、モード設定部30の機能により、バックワードトレースについてはディレイ計算を行なうか否かのモードを予め設定することで、設計者が要望する場合のみディレイ計算を実行させるようにしている。このモード切換部30による切換は、バストレーヌに際してディレイ値を付加するか否かを切り換えることにより実行できる。

【0159】従って、バックワードトレースに時間をかけたくない場合には、モード設定部30により、ディレイ値を付加せず、ディレイ計算を行なわないように設定する一方、時間がかかってもディレイ計算を行ないたい場合には、モード設定部30により、ディレイ値を付加する。なお、バックワードトレースによってサーチされるソースピンが多い場合には、ディレイ計算を行わずトレース処理のみを行ない、前述した範囲設定部28により、表示部11上で所望のバスのみを選択してディレイ計算を行なった方が、より早く所望のディレイ値を得ることができる。

【0160】(b10)表示部11上にバスを表示する場合、設計者が、どのバスを選択すべきかを判断しやすくするために、バストレーヌ部22によるトレース処理結果およびディレイ計算部21によるディレイ計算結果を、例えば図10に示すようなリストとして、表示制御部12により表示部11上でウィンドウ表示させる。

【0161】なお、図10に示すリストにおいて、“No.”の項目にはバストレーヌの結果得られたターゲットピンのピン番号が、“UpDelay”の項目には立ち上がり信号（アップエッジ）についてのバスディレイ値が、“DnDelay”の項目には立ち下がり信号（ダウンエッジ）についてのバスディレイ値が、“Pin Name”の項目

にはターゲットピンのピン名が記入されている。

【0162】このように、ピン番号、ディレイ値、ピン名をリスト表示することで、ディレイ値の大きなバスが分かりやすくなる。そして、設計者は、そのリスト表示を参照し、リスト表示上で入力部13から任意のターゲットピンを選択することにより、そのターゲットピンについての配線バスが、別ウィンドウとして表示部11に表示させることができる。

【0163】なお、本実施例では、図10に示すようなリストの表示状態を、ターゲットピンのピン名もしくは各トレース到達ピンのディレイ値に応じてソートするソート機能が表示制御部12に付与されており、このソート機能を用いることで、例えば図11～図13に示すようにソートした状態のリストを表示部11に表示させることができる。このようなソートを行なうことで、設計者は、表示部11上の表示からターゲットピンのピン名やディレイ値の大小をより明確に且つ容易に把握することができる。

【0164】ただし、ディレイ値については、線長モード、到達エッジモードによってソート順が変化する。例えば、線長モード最大かつ到達エッジアップでソートを行なった場合、ディレイ値は、アップ側ディレイ値の大きい順にソートされる。つまり、常にワースト順でディレイ値はソートされることになる。具体的に、図11に示すリストは、図10に示したリストについてピン名を英数順でソートしたもの（線長モード最大、到達エッジアップ）であり、図12に示すリストは、図10に示したリストについてディレイ値を線長モード最大かつ到達エッジアップでソートしたものであり、図13に示すリストは、図10に示したリストについてディレイ値を線長モード最大かつ到達エッジダウンでソートしたものである。

【0165】また、本実施例では、上述のようなリスト表示機能に、さらにピン名検索機能およびファイル出力機能が付加されている。ピン名検索機能では、通常、バストレーヌにより得られるターゲットピンの数は極めて多いので、表示を見やすくするために、例えば図14に示すように、リストを階層的に表示する。つまり、図14に示す表示状態では、例えば図9～図13に示したリストについての上位階層の情報が表示されている。

【0166】図14に示すリストにおいて、“No.”の項目にはターゲットピンのピン番号の範囲が、“UpDelay”の項目にはアップ側ディレイ値の最大値と最小値とが、“DnDelay”の項目にはダウン側ディレイ値の最大値と最小値とが、“Pin Name”の項目には最初の一つのターゲットピンのピン名が記入されている。このように表示されたリストから、例えばターゲットピンのピン番号の上位階層情報である“1～20”を入力部13から選択すると、ピン番号1～20について、図9～図13にて前述したようなリストが下位階層情報として表示部1

1に表示される。また、図14に示すリスト表示状態で、例えばピン名として“ADD BUF<8>.CK”を入力部13から指定した場合、表示部11には、ピン名“ADDBUF<8>.CK”の下位階層情報を含む20個のピンについてのリストが表示されることになる。

【0167】上述のように、ソート表示や階層表示（目次表示）を行なうことにより、膨大な数のターゲットピンについての情報が表示部11上でコンパクトかつ明確に表示されるので、設計者は、トレース結果やディレイ計算結果を表示部11上の表示から容易に把握して回路設計に際しての各種判断を直ちに行なえるようになる。

【0168】一方、ファイル出力機能は、前述した外部ファイル書込部18を利用したもので、図9～図13に示す形式で表示部11に表示される全てのターゲットピンについての情報（ピン番号、ピン名、ディレイ計算結果等）を、外部ファイル18Aに出力し書き込むものである。ファイル出力する際のリストのソートモードは、その時、表示部11で表示されているリストのソートモードと同じである。即ち、リストが、表示部11上でピン名でソートされている場合には、外部ファイル18Aに書き込まれるリストもピン名でソートされている。

【0169】このように、外部ファイル書込部18によりターゲットピンのリストを外部ファイル18Aに書き込むことで、そのリストを外部ファイル18Aに保存したり退避させたりすることができる。

（b11）設計者が、上述のようなリスト表示を参照し、リスト表示上で入力部13から任意のターゲットピンを選択すると、そのターゲットピンについての配線パスの到達経路表示が、表示部11の別ウインドウで行なわれる。

【0170】本実施例では、到達経路表示は、選択されたターゲットピンについてのトレース結果の模式的な到達経路図（図15下段参照）と、その配線パスのゲート、ネットそれぞれにおけるディレイ値に関するグラフ（図15上段参照）とにより行なわれる。ここで、図15の上段に示すグラフでは、トレース結果とともにディレイ計算部21により得られたディレイ計算結果が、図15の下段に示す到達経路図の各位置（ゲート、ネット）でのディレイ値を示す棒グラフと、各位置での累積ディレイ値を示す折れ線グラフとにより表示されている。

【0171】例えば、折れ線グラフは、ターゲットピンでのディレイ値が1800psであれば、ソースピンからターゲットピンに到達するまでの間にバス上でどのようにディレイ値が増加していくかを示しており、棒グラフは、バス上の各位置での部分的なディレイ値が総ディレイ値（図15では1800ps）の何%を占めているかを示している。

【0172】なお、図15の下段に示す到達経路図では、ブロックがゲートを示し、各ブロック間を接続する

線分がネット（ワイヤ、配線）を示しており、図中に記入されている英数文字は、バスに接続されるピン名に関する情報である。図15に示すような到達経路表示を行なうことにより、設計者は、配線バスの中で信号通過に要する時間がかかる箇所を一目で判別でき、回路設計に際しての各種判断、例えば配置や配線の改善箇所の決定等を直ちに行なえる。

【0173】また、図15に示すような到達経路表示は、複数の配線バスについて同時に表示部11上で行なうことができ、この場合、設計者は、複数の配線バスのディレイ状況を表示部11上で参照しながら比較することができる。さらに、表示部11に表示された到達経路表示（模式的な到達経路図およびグラフ）は、印字部19により所定用紙に印字出力したり、外部ファイル書込部18により外部ファイル18Aに出力して書き込むこともできる。このように、所定用紙に印字することで、設計者は印字結果を参照しながら配線バスのディレイ状況を検討できるほか、到達経路表示を外部ファイル18Aに書き込むことで、そのデータを外部ファイル18Aに保存／退避することができる。

【0174】なお、到達経路表示のファイル出力は、例えば図16に示すような形式で行なわれる。図16に示すデータは、図15の下段に示す到達経路図に対応するものである。なお、図16に示すデータには、“UpTsin”、“DnTsin”としてアップ側波形鈍りおよびダウン側波形鈍りについてのデータも含まれている。そして、図15に示された到達経路図に対応する実回路図を、入力部13からの指示に応じて、例えば図17に示すように表示部11に表示させることもできる。図17に示す例では、表示部11における設計対象回路の配置マップ上で、所望の到達経路に対応する実回路部分の全体が、表示色の変更、高輝度表示等の手法（図17中では、斜線部でセルを、太線部でネットを示している）により強調表示されている。このとき、本実施例では、ファンアウトを表示することが可能になり、ファンアウトを表示することにより、その経路の及ぼす影響のある範囲が明確化される。

【0175】さらに、図17に示すような経路全体の実回路図だけでなく、入力部13から特定のネットやセルを指定することにより、そのネットやセルのみを、例えば図18に示すように表示部11の配置マップ上で強調表示することもできる〔図18は1つのセル（斜線部）のみを強調表示した例〕。これにより、図15に示すような到達経路表示のディレイ値グラフと比較しながら、ディレイ値の大きい箇所を、実回路図（配置マップ）上で特定することができる。

【0176】またさらに、本実施例の装置には、ソースピンとターゲットピンとの間の全てのバスを表示する機能もそなえられている。この表示機能は、例えばセル等の部品を移動させた場合などに、その部品の移動処理が

どこまで影響を及ぼすのかを判断する際に利用されるものである。このとき、バス全体は、表示部 11 上で明確に把握できるように、例えば図 19 に示すごとく、簡略的な木構造形式で表示される。つまり、バストレーヌ部 22 によりトレースされたソースピンからターゲットピンまでの全ての配線バスが、各セルのピンについてのピン名を付して木構造形式で表示部 11 に表示される。

【0177】この木構造表示では、表示状態を見やすくするため、ピン名のみを表示しているが、入力部 13 から任意のピンを選択すると、例えば図 20 に示すように、そのピンに関する詳細情報（例えばセル名、ライブラリ名、ディレイ値、ネット名など）のほか、そのピンの接続元ピンに関する詳細情報や、そのピンの接続先ピンに関する詳細情報も同時に表示部 11 にウインドウ表示されるようになっていく。

【0178】なお、図 19 中、最上段の横一列に並ぶバス（斜線部分）が到達経路で、この部分については表示画面上で色分け、高輝度化等の処理が施されて表示されている。また、図 19 中で、網掛け部分で示すピン A を入力部 13 から選択すると、前述したように、例えば図 20 に示すような詳細情報が表示部 11 にウインドウ表示される。図 20 中、上段に、選択されたピン A の詳細情報〔ピン名(Pin)、セル名(Cell)、マクロ名(Macro)、ネット名(Net)、ディレイ値(Delay:アップ側、ダウン側)、波形鈍り(Tsin:アップ側、ダウン側)〕が表示され、中段に、ピン A の接続元ピン X に関する詳細情報が表示され、さらに、下段に、ピン A の接続先ピン Y に関する詳細情報が表示される。

【0179】これにより、設計者は、配線バスの全体を把握しながら各ピンについての詳細情報を容易に得ることができる。上述したような各種形式で、バストレーヌ部 22 によるトレース結果やディレイ計算部 21 による計算結果を表示部 11 に表示することにより、設計者は、トレース結果やディレイ計算結果を容易に把握でき、回路設計の簡易化・効率化に大きく寄与することになる。

【0180】(c) 本実施例の表示手法の説明
ところで、平面上に有限個の点群とそれらを結ぶ線分が存在する場合、線分が各点間をどのように接続しているかを知りたい場合がある。このような図形を CAD で表示する時、各点のもつ座標値に比例した位置に各点を配置しそれらの点間に線分を表示すると、点群の密度に局所的に大きな差があるような場合、画面や印刷装置、印刷媒体の大きさや解像度の制限から、図 21 に示すように、点群の全体を表示できる倍率で表示すると、細かい部分（点番号 3～7）を認識しづらくなる。この細かい部分を分かりやすく表示すべく、その細かい部分を図 22 に示すように拡大して表示すると、今度は、点群の全体を一望することができなくなってしまう。

【0181】このような問題は、点群が会話型回路設計

装置の表示部 11 上に表示される回路図（特徴点としてのピン、ビア等と線分としてのネットとからなる図）についても同様に生じるものであり、本実施例では、このような問題を解決すべく、表示制御部 12 により、セルのピンやビア等の特徴点の座標が、座標軸 (X, Y) 毎に昇順または降順にソート（整列；ただし同一座標値は同一順位となる）されその順位に比例した座標値に置換された上で、その特徴点を表示部 11 に表示される。例えば図 21、図 22 に示すような点群については、上述した表示制御部 12 の機能により、例えば図 23 に示すような状態で表示されることになる。

【0182】回路設計過程（ピンやビアなどの特徴点間の配線接続状況）を表示する際には、図 21～図 23 に示すように線分は任意の方向に延びるものではなく、直交する主配線方向および従配線方向に延びるものであり、その具体的な例を図 24、図 25 に示す。図 24、図 25 において、○印はピン、ビア等の回路上の特徴点を示し、これらの点を結ぶ線分が回路上のネット（配線）を示している。

【0183】そして、図 24 は、特徴点のもつ座標値に比例した位置に各点を配置しそれらの点間に線分を表示したものであり、これに対して、図 25 は、図 24 に示した特徴点に対し、上述した表示制御部 12 の順序置換を適用し、座標変換を施した結果を示すものである。図 24 に示す状態では認識できなかった、点番号 7～9、15～19 の位置関係が、座標変換によって、図 25 に示すように、点の局所密度が均一化され、部分的な拡大表示を行なわなくても、全体の接続関係を一望できる図形が表示される。

【0184】このように、図 23 もしくは図 25 に示すような座標変換後の図形を、図 21 もしくは図 24 に示すような通常の座標による表示とは別に表示部 11 上で表示することにより、設計者は、限られた表示領域の中で、ネットの配線接続状況を一望することができ、表示部 11 上の表示から設計対象回路の配線接続状況を容易に把握できるので、回路設計の簡易化・効率化に寄与することになる。

【0185】上述のような順序置換による座標変換を行なう際、特徴点(node)としては、ピンやビアのほか、図 26 (a) に示すような、各セルのピン間を接続するワイヤの両端点、および、そのワイヤ上の内分点（例えば図 28 に示すごとく 4 分の 1 内分点、中点、4 分の 3 内分点等）と、図 26 (b) に示すような、ピンを表示する矩形図形の 4 頂点とを取り出し、これらの特徴点についても、順序置換による座標変換を施して表示してもよい。

【0186】特徴点として、ワイヤの両端点とピンを表示する矩形図形の 4 頂点とを取り出し、上述の変換を行なった例を図 27 (a)～(c) に示す。図 27 (a) は変換前の表示状態を示し、図 27 (b) は、図 27

(a) に示す図形から取り出された特徴点(node)を示している。そして、図 27 (b) に示すごとく取り出された特徴点に対して、上記変換を行なうことにより、図 27 (a) に示す図形は、図 27 (c) に示すように表示されることになる。

【0187】また、特徴点として、ワイヤの両端点、1/4 内分点、中点、3/4 内分点と、ピンを表示する矩形図形の 4 頂点とを取り出し、上述の変換を行なった例を図 28 (a), (b) に示す。図 28 (a) は、図 27 (a) と同様の図形から取り出した特徴点を示している。そして、図 28 (a) に示すごとく取り出された特徴点に対して、上記変換を行なうことにより、図 28 (a) に示す図形は、図 28 (b) に示すように表示されることになる。

【0188】このようにワイヤ上の内分点やピンの 4 頂点などを特徴点として取り出して変換表示することにより、図 28 (b) に示すように、ワイヤの最低長がピン矩形よりも大きくなり、より認識しやすい図形表示状態を形成することができ、配線接続状況の把握に役立つ。また、表示部 11 に表示される配線接続状況が多層にわたる場合には、表示制御部 12 により、前記順序置換後の座標値に層順に比例するオフセットを加算した上で、特徴点を表示部 11 に表示することで、設計者は、層を介して重なった配線線分を表示部 11 上で容易に把握することができる。図 25 に示す図形に、上述のようなオフセットを加算して表示した例を図 29 に示す。図 29 には、2 層にわたる表示が行なわれている場合に、2 つの配線層のうちの一方に、X、Y 軸に対して 45° の角度を成してオフセット z を加算した例が示されている。

【0189】なお、図 21~図 25、図 29 において、各特徴点には、その座標の置換前と置換後とで共通の識別子としての点番号が予め設定されており、通常、その識別子を各特徴点に付した状態で、表示部 11 上での配線接続状況等の表示が行なわれる。これにより、設計者は、置換前と置換後とで特徴点間の対応を容易に認識できるようになっている。共通の識別子としては、番号でなくてもよく、同一の記号が付与表示されていればよい。

【0190】また、上述のような座標置換による表示手法は、図形表示用ディスプレイ(表示部 11)での表示にも、紙面等への印刷(印字部 19 による印字)にも適用され、いずれの場合にも上述と同様の作用効果を得ることができる。

(d) 本実施例の配線処理の説明

さて、本実施例では、レイアウト設計部 15 において、配置部 31 によりセルの実装的な配置を終了した状態から、配線部 32 による配線処理に移行する際には、まず、具体的配線を行なうことなく、配線経路予測部 33 により、セル間に仮想的な配線を行なって配線経路を予測する。この配線経路予測部 33 による予測手法として

は、メッシュ上で配線を決定する概略配線を行ったり、セル間にスタイナー木を作成したりするなど、いくつかの既存技術を使用することができる。

【0191】そして、配線経路予測部 33 の予測結果に基づいて、混雑度計算部 34 により設計対象回路上の局所的混雑度を算出し特定する。混雑度計算部 34 においては、設計対象回路を格子状(メッシュ状)の多数の領域(例えば図 30 参照; この図 30 では $5 \times 6 = 30$ の領域に分割)に分割し、その設計対象回路上での配線の混雑度が、各格子内での使用可能チャンネル数 A_i に対する、配線経路予測部 33 による予測結果に基づく予想使用チャンネル数 P_i の割合 P_i/A_i として各領域毎に算出される。なお、配線層が複数存在する場合には、各配線層の割合 P_i/A_i うち最大値をその領域の混雑度として決定する。

【0192】そして、混雑度計算部 34 は、上述のように算出された混雑度の大小に基づいて各格子(メッシュ)領域にランク付けを行ない、例えば図 30 に示すように、各領域に混雑度の大きい順に番号 1~30 を付与した混雑度マップを作成し、配線部 32 は、この混雑度マップの番号に基づいて、次のように配線順序(優先順位)を自動的に決定してゆく。即ち、付与された番号が小さい領域(つまりは混雑度の高い領域)にピンが存在するネットに対して、高い配線優先順位を与える。なお、同一領域に複数のピンが存在する場合には、多くのピン数をもつネットを優先する。

【0193】また、迂回率については、例えば図 31 (a) に示すように、配線領域が混雑度の高いメッシュ領域によりブロックされている場合、そのメッシュ領域を迂回できるだけの迂回率を、配線部 32 にて自動的に決定する。なお、図 31 (a), (b) 中、混雑度の順位 2, 3, 4, 5 を付された領域が、前述した混雑度の高いメッシュ領域(混雑度 P_i/A_i が例えば 80% を超える領域)である。

【0194】迂回率としては、通常、予め 5% 程度の値が設定されているが、本実施例では、配線可能性判定部 35 により、配線経路予測部 33 による予測結果から得られた図 30 に示す混雑度マップに基づいて、予め設定された迂回率での配線可能性が判定される。この配線可能性判定部 33 により、現状の迂回率では混雑度の高いメッシュ領域を迂回できず配線不可能であると判定された場合には、混雑度マップ等の情報に基づいて、混雑度の高いメッシュ領域を迂回して配線できる迂回率が配線部 32 により自動的に決定される。

【0195】このようにして迂回率を決定することにより、例えば図 31 (a) に示すように、混雑度の高いメッシュ領域を迂回できなかった配線領域が、図 31 (b) に点線で示すように拡大され、混雑度の高いメッシュ領域を迂回して配線を行なうことができるようになる。なお、図 31 (a), (b) 中、「○」は配線を行

なうべきピン、ビア等の位置を示している。

【0196】一方、配線部32による配線が多層にわたる場合には、配線経路予測部33により各配線層毎に配線経路の予測を行ない、混雑度計算部34にて、配線経路予測部33による各配線層毎の予測結果に基づいて前述と同様の混雑度マップを作成する。そして、配線部32により、混雑度計算部34からの配線層毎の混雑度マップに基づいて、混雑度が高いと予想されるチャンネルを使用する必要度の高いネットの配線順序の優先度を高く設定し、その優先度に従って実配線が行なわれる。

【0197】例えば、配線層として、図32(a)に示すように縦方向を主配線方向とする配線層（縦主線配線層）と、図32(b)に示すように横方向を主配線方向とする配線層（横主線配線層）との2層が存在する場合に、図32(a)、(b)に示すように、縦主線配線層の方が横主線配線層よりも混雑度が厳しい場合、本実施例の配線部32の機能によれば、縦方向に長いネット

〔図32(a)、(b)の矢印参照〕の配線順序が高く設定される。つまり、混雑している箇所をどうしても通過する必要のあるネットの配線優先順位が高くなり、配線部32により早めに実配線が行なわれる。なお、図32(a)中、「●」は、混雑度の高いメッシュ領域を示している。上述のようにして、本実施例では、実配線を行なう前に配線の状態を予測しながら効率のよい実配線を行なえるほか、配線可能な迂回率を自動的に決定して配線不能となる部分をできる限り少なくできるので、配線効率を大幅に向上することができる。

【0198】ところで、配線部32による配線が多層にわたり且つ主配線方向の同じ配線層が複数存在する場合、本実施例では、主配線方向の同じ各配線層毎に異なる配線長さを予め指定しておき、配線部32が、配線方向および配線長さに応じて配線層の中から選択した配線層に対して実配線を行なう。例えば、主配線方向の同じ2つの配線層がある場合、1つの配線層には短いネットを優先的に配線する一方で、もう1つの配線層には長いネットを優先的に配線するというように、配線部32により層割付を行なう。

【0199】より具体的な例を図33に示す。この図33に示すように、配線層が合計4層ある時、それぞれをA層、B層、C層、D層として、A層およびC層を横主線配線層、B層およびD層を縦主線配線層とする。そして、例えば、A層、B層を短区間ネットの配線を優先する層、C層、D層を長区間ネットの配線を優先する層というルールを予め決めておく。

【0200】一つの配線層内に細切れの配線が多数散らばっていると、長い配線は、長い1本で配線することができず、結局細切れにならざるを得ない。そこで、本実施例では、配線部32が上記ルールに従って実配線を行なうことで、図33に示すように、細切れの配線はA層およびB層で優先的に行なわれ、長い配線はC層および

D層で優先的に行なわれるようになる。従って、各配線層を有効に利用でき、配線効率が大幅に向上する。

【0201】図33に示すような配線は、配線コストを制御することにより、具体的に実現することができる。各配線層で配線を行なう時の配線コストを“COST（配線層）”としたとき、もしネットの広がり小さいものを配線する場合には、各配線層の配線コストを、 $COST(A) < COST(C)$ 、 $COST(B) < COST(D)$ となるように設定すればよい。例えば、 $COST(A) = COST(B) = 10 / \text{グリッド}$ 、 $COST(C) = COST(D) = 100 / \text{グリッド}$ 。

【0202】また、ネットの広がり大きいものを配線する場合には、逆に、各配線層の配線コストを、 $COST(A) > COST(C)$ 、 $COST(B) > COST(D)$ となるように設定すればよい。例えば、 $COST(A) = COST(B) = 100 / \text{グリッド}$ 、 $COST(C) = COST(D) = 10 / \text{グリッド}$ 。なお、図30～図32により前述した例では、配線順序および迂回率を、混雑度マップに基づいて自動的に決定する例について説明したが、これらの配線順序および迂回率を、配線部32により、配線対象ネットのディレイに対するクリティカル度に応じて設定することもできる。

【0203】ここで、クリティカル度とは、予め設定されたディレイ値に対する配線余裕の程度のことである。具体的には、あるピンからピンまでの配線設計条件としてディレイの制限値10nsが設定されている場合に、その条件を満たす配線を行なうことはできたが、ピン間を最短距離で配線しなければならず、少しでも配線がずれると、ディレイの制限値である10nsを超えてしまうような状態が、高クリティカル度の状態である。逆に、例えばディレイ値5ns程度で余裕をもってピン間を配線でき、制限値10nsに対して余裕のある状態が、低クリティカル度の状態である。

【0204】そして、配線部32により、配線対象ネットをディレイに対するクリティカル度によって分類し、分類した各配線対象ネットに対して配線順序および迂回率を設定する。配線対象ネットのクリティカル度の分類は、例えば次のような手法①、②で行なわれる。

①論理情報に基づいて、ネットの信号によって分類する。ネットの信号としては、例えばクロック信号、一般信号（データ系信号）、テスト系信号などがあるが、これらの信号のうちでは、クロック信号のクリティカル度が最も高く、次に一般信号、最後にテスト系信号というように分類することができる。

②ネット中のクリティカルパスのクリティカル度により分類する。上述のような分類を行ない、配線部32は、クリティカル度の高いパスを優先的に配線する。また、配線部32は、クリティカル度の高いネットに小さな迂回率を設定し、クリティカル度の低いネットに許容度最大の迂回率を与える。これにより、クリテ

10

20

30

40

50

ィカル度の高いネットは、できるだけ配線ディレイが小さくなるように、実配線の優先順位が高められ、しかも迂回率を小さく抑えながら配線されることになる。

【0206】上述のごとく、配線対象ネットをクリティカル度の大小に分類した場合、クリティカル度の高いネットはなるべく配線ディレイを小さくしなければならない。配線ディレイを小さく抑えるためには、配線長を短くするだけでなく、そのネットに隣接して配線されるネットをできるだけ少なくして配線寄生容量を小さくする必要がある。例えば、図34に示すように、着目ネットに対して他のネットが隣接して配線されている部分が存在すると、その部分に配線寄生容量が発生し、その容量のために配線ディレイが増大してしまう。

【0207】そこで、本実施例の配線部32の機能によれば、クリティカル度に応じて、配線対象ネット（着目ネット）に隣接して後で配線される他ネットの配線許容量が設定され、着目ネットを実配線した後に、その配線許容量に従って他ネットの実配線が行なわれ、着目ネットに対する他ネットの隣接度合いを制御することができる。

【0208】具体的には、クリティカル度の高い着目ネットを配線した後に、隣接許容量に応じて、レシーバ側から着目ネットの配線の両側の適当な区間に配線禁止データ（例えば図34に示すごとくグリッド毎に設定されるデータ“X”）を設定し、その後に配線されるネットが、配線禁止データの設定箇所を通過しないように配線制御するのである。このようにして、クリティカル度の高いネットに対して配線寄生容量が発生し、配線ディレイが増大するのを確実に防止できる。

【0209】（e）本実施例の配置エラー発生時の対処手法の説明

ところで、前述した通り、従来、セルは全て同じ形状で同じ大きさであったため、そのセルの配置位置を一旦決めると、オーバーラップ等の配置エラーが生じることはなかったが、近年、LSIテクノロジーの変化から大きさの異なるセルが同一回路に配置され、オーバーラップ等の配置エラーが生じることがある。

【0210】そこで、本実施例では、配置部31による各セルの配置後に、配置チェック部36により、配置エラーを起こしたセルが存在するか否かをチェックする。配置チェック部36によるチェック項目としては、セルどうしのオーバーラップや、リザーブ領域等の禁止領域へのセル配置など様々なものがある。そして、配置チェック部36により配置エラーを起こしたセルが存在するものと判断された場合には、配置エラーを起こしたセルの一覧リストが、例えば図35（a）に示すようなエラーセル一覧リスト51として、表示部11に表示される。

【0211】また、入力部13からの指示にてモードを切り換えることにより、例えば図35（b）に示すように、自動的に配置マップ52上にエラーを起こしたセル

〔図35（b）の斜線部〕の強調表示が行なわれる。この時、チェック項目（オーバーラップ、禁止領域配置等）に応じて、各エラーセルの色分けを行なって表示する。

【0212】さらに、エラーセル一覧リスト51と配置マップ52とは、同一の表示部11の異なるウインドウ画面で同時に表示されており、エラーセル一覧リスト51上の検索したセル名をマウス（入力部51）でヒットすることにより、特定のエラーセルのみを配置マップ52上で強調表示させることもできる。このように、エラーセル一覧リスト51や配置マップ52の表示を行なうことにより、設計者は、直ちに配置エラーの発生を認識でき、また、特定のエラーセルやそのエラー内容をも配置マップ52上で確認できるので、再配置等の処理によって配置エラーを容易かつ確実に回避できるようになる。

【0213】（f）本実施例の再配線処理および再配置処理の説明

次に、本実施例のレイアウト設計部15（配置部31および配線部32）による再配線処理および再配置処理について、図36～図37を参照しながら説明する。本実施例のレイアウト設計部15（配線部32）の機能によれば、既に配線されたネットについて指定された配線長を加味して再配線を行なう手法は2種類あり、一方はネット全体に指定配線長を加えて再配線を行なう広域的な手法であり、もう一方はネット上で指示された領域に対して指定配線長を加えて再配線を行なう局所的な手法である。

【0214】まず、前者の広域的な手法を、図36（a）、（b）により説明する。図36（a）に示すような既に配線済のネットN1（総配線長＝L）に対して、指定配線長rを加えた再配線を行なう旨の指示が入力されると、実配線結果に基づいて混雑度計算部34により図30と同様の混雑度マップが作成され、その混雑度マップを参照することによりネットN1の全配線領域内から混雑度の低い領域〔例えば図36（a）中の一点鎖線で囲まれた矩形領域〕が選択される。

【0215】そして、配線部32により、選択された領域内における配線済のネットN1に対して指定配線長rを加えた指定長配線が行なわれる。このとき実行される再配線プログラムは自動配線プログラムである。これにより、図36（b）に二重線で示す部分が、指定配線長rだけ加算されて再配線され、総配線長＝L＋rのネットN1'を得ることができる。

【0216】また、後者の局所的な手法を図37（a）、（b）により説明する。局所的な手法による再配線では、図37（a）に示すように、既に配線済のネットN2に対して指定配線長rを加えた再配線を行なう際には、その再配線の指示とともに、ネットN2を含むいずれの領域で再配線を行なうかについての情報が、入力部13から入力される。図37（a）に示す例では、

10

20

30

40

50

例えば点線で囲まれた矩形領域が、再配線のための領域として指示されたものとする。

【0217】そして、配線部32により、指示された領域内における配線済のネットN2に対して指定配線長 r を加えた指定長配線が行なわれる。このとき実行される再配線プログラムも自動配線プログラムである。これにより、図37(b)に二重線で示す部分が、指定配線長 r だけ加算されて再配線され、総配線長 $=L+r$ のネットN2'を得ることができる。

【0218】このようにして、いずれの再配線手法によっても、既に配線済のネットN1、N2に対して指定配線長 r を加えた再配線を、入力部13からの指示に応じて自動的に行なえるので、再配線処理を簡易化でき、設計者に対する負担を大幅に軽減することができる。一方、本実施例のレイアウト設計部15（配置部31および配線部32）の機能によれば、既に配置済のセルの配置位置を変更する再配置処理は、図38に示すフローチャート（ステップS1～S8）に従って行なわれる。つまり、本実施例では、配置部32によるセル配置変更後に、配置変更されたセルに繋がるネットが既に配線されていた場合、そのネットと配置変更セルとの間の配線が、再配線プログラムによって自動的に行なわれる。

【0219】その処理動作を図38のフローチャートに従って説明する。既に配置済のセルの配置位置が変更されると、図38に示す処理が開始され、まず、配置変更後のセルの位置が以前と同じであるか否かが判定される（ステップS1）。同じである場合（YES判定の場合）には、特に再配線処理等を施す必要もないので、その時点で処理を中断する（ステップS2）。

【0220】これに対し、ステップS1にて配置変更後のセルの位置が以前と異なると判定された場合（NO判定の場合）には、そのセルに繋がる全ネットをサーチし（ステップS3）、各ネットにワイヤやビアが存在するか否かを判定する（ステップS4）。ワイヤやビアが存在する場合には、ネット情報をテーブルに収集する（ステップS5）。

【0221】そして、配線部32により、ステップS5により収集されたテーブルを参照して（ステップS6）、以前の配線済の配線（既配線）を削除するとともに（ステップS7）、配置変更後のセルとそのセルに繋がる全ネットとの間の自動配線を実行する（ステップS8）。なお、本実施例では、図38により説明した処理を恒常的に行なわないように指定するモードを設定することが可能で、このモードを入力部13からの指示で切り換えることにより、本実施例による再配置処理に伴う再配線処理を実行／非実行を設定することができる。

【0222】このように、再配置を行なったセルに繋がる配線済ネットが存在する場合、再配置後のセルとその配線済ネットとの間の再配線が自動的に行なわれるので、設計者が再配置後の再配線処理を行なう必要がなく

再配置処理を簡易化でき、設計者に対する負担を大幅に軽減できる。

（g）本実施例のマルチウインドウ表示の説明

次に、本実施例のマルチウインドウ表示機能を、図39、図40を参照しながら説明する。

【0223】一般に、セルの配置や配線等の操作を行なう会話型のシステムでは、専用の配置マップを表示部に表示して使用するが、その配置マップは同時に複数表示させることができる（いわゆるマルチウインドウ表示機能）。本実施例の表示制御部12も、このようなマルチウインドウ表示機能を有している。セルの配置情報や配線情報はシステム内に1つの空間として存在するが、これと同時に、配置情報や配線情報に基づく図形情報を1つの空間（図形情報空間）として存在させ、複数の配置マップを図形情報空間にリンクさせることにより、配置マップのマルチウインドウ表示機能を実現することができる。

【0224】本実施例の表示制御部12の機能によれば、上述のようにして複数の配置マップを表示部11に表示させた状態で、レイアウト設計部15（配置部31もしくは配線部32）が入力部13からの指示により複数の配置マップのうちの少なくとも1つの配置マップ上で配置処理もしくは配線処理を行なうと、表示制御部12により、その処理対象の部分を表示する他の配置マップ上でも当該処理による結果が連携して表示される。

【0225】より具体的に図39、図40を参照して説明する。例えば図39に示すように、2つの配置マップmap1、map2が重複する部分を有している場合に、配置マップmap1内でセルを移動させると、同時に、移動対象セルが表示されている他の配置マップmap2においても、その移動対象セルが対応する位置に追従して移動されて表示される。

【0226】また、セルをLSIの端から端まで移動させるような場合には、図40に示すように、セルの移動元領域とセルの移動先領域とをそれぞれ2つの配置マップmap1、map2で表示させた状態で、これら2つの配置マップmap1、map2を連携させ、例えば配置マップmap1内のセルを配置マップmap2の所定位置まで移動させることができる。

【0227】このように、本実施例によれば、配置マップのマルチウインドウ表示を行なった状態で、1つの配置マップ上で配置処理や配線処理を行なった場合でもその処理を他の配置マップに連携させて表示することができるほか、複数の配置マップを同時に使用して配置処理や配線処理を行なえるので、設計者の混乱を招くことのないマルチウインドウ表示を実現できるとともに、マルチウインドウ表示を利用して効率よい回路設計を行なうことができる。

【0228】（h）本実施例の階層レイアウト設計時における仮端子位置決定手法の説明

次に、本実施例の階層レイアウト設計時における仮端子位置決定手法(h1)～(h5)について、図41～図46を参照しながら説明する。

(h1)第1の仮端子位置決定手法では、前述した配置領域設定部37の機能が用いられる。つまり、階層レイアウト設計を行なう際に、配置領域設定部37により設定された配置領域内に仮端子を配置しながら配線部32による配線処理が実行され、設計者の意図を反映しながら仮端子を自動的に配置することができる。

【0229】配置領域設定部37による配置領域の設定手順を、図41に示すフローチャート(ステップS11～S17)に従って説明する。この図41に示すフローチャートに従う設定処理は、個々の仮端子について配置を希望する領域があれば、その仮端子毎に、設計者が入力部13を操作することによって行なわれる。まず、配置領域設定処理を開始すると、設計者は、仮端子を選択し(ステップS11)、例えば図42に示すように、選択した仮端子を配置すべき領域(矩形)を表示部11上で指示する(ステップS12)。なお、図42において、LSG1、LSG2はそれぞれ設計対象回路上で分割されたレイアウト階層ブロックを示す。

【0230】この後、別な領域を追加するか否かを判断し(ステップS13)、追加する場合には、ステップS12に戻る一方、追加しない場合には、その仮端子を、ステップS12で指示した領域内でブロックLSG1の境界線上に配置するか領域内のいずれの場所でも構わないかを選択する(ステップS14)。そして、配線層が複数存在する場合には、仮端子を配置すべき使用層を選択する(ステップS15)。ここでは、仮端子を、ステップS15により選択した特定の層に配置するようにしているが、自動的に選択した層に配置するようにしてもよい。

【0231】この後、別な層を追加するか否かを判断し(ステップS16)、追加する場合には、ステップS15に戻る一方、追加しない場合には、仮端子に、以上の手順により設定された領域情報を付加して(ステップS17)、配置領域設定処理を終了する。以上のように、設計者は、仮端子を選択する処理と、その仮端子を配置したい領域を選択する処理と、その仮端子を配置したい層を選択する処理とを行なう。仮端子は、そのブロックLSG1に含まれる仮端子の一群の中から選択される。また、仮端子を配置したい領域は、一つ以上の矩形で囲まれた範囲によって指示されるものであり(図42参照)、さらに、その中から、ブロックLSG1の境界線上のみを用いるか、内部の領域を使用するかを選択することができる。仮端子を配置したい層については、集積回路を構成する層の中から選択するものであるが、一つ以上の層を選択することができる。また、複数の層を選択した時には、選択した順番に優先度が与えられるものとする。領域内に仮端子を配置する座標およびその時の

使用層の選択は、後処理で自動的に行なわれる。

【0232】(h2)第2の仮端子位置決定手法では、前述した配置領域設定部37およびグルーピング部38の機能が用いられる。つまり、階層レイアウト設計を行なう際に、グルーピング部38によって登録された仮端子の集合体(グループ)に対して、配置領域設定部37により設定された配置領域が設定され、その集合体に属する仮端子をその配置領域に配置しながら配線部32による配線処理が実行される。従って、同一種別の信号についての複数の仮端子を同一の配置領域に配置させる指示を容易に行なうことができる。

【0233】配置領域設定部37およびグルーピング部38による配置領域の設定手順を、図43に示すフローチャート(ステップS21～S31)に従って説明する。設計者は、ブロック(LSG)間を接続するネット(仮端子)を1つまたは複数のグループにまとめることができ、そのグループに対して配置を希望する領域を設定できる。

【0234】まず、配置領域設定処理を開始すると、設計者は、仮端子のグループ(集合体)を新規作成するか否かを判断し(ステップS21)、新規作成する場合には、新規グループを作成してから(ステップS22)、そのグループに、グルーピング部38の機能により仮端子を登録する(ステップS23)。そして、そのグループに仮端子を追加登録するか否かを判断し(ステップS24)、追加登録する場合にはステップS23に戻る一方、追加登録しない場合には、次のステップS26へ移行する。

【0235】また、ステップS21において、グループの新規作成を行なわないと判断した場合には、既存グループから所望のグループを選択し(ステップS25)、そのグループに仮端子を追加登録するか否かを判断し(ステップS24)、追加登録する場合にはステップS23へ移行し、追加登録しない場合には、次のステップS26へ移行する。

【0236】ステップS26～ステップS30の処理は、配置領域設定部37の機能によって行なわれるもので、図41におけるステップS12～S16の処理と全く同じであるので、その説明は省略する。ステップS26～S30の処理により領域情報が設定されると、その領域情報を領域設定対象のグループに付加して(ステップS31)、配置領域設定処理を終了する。

【0237】以上のように、設計者は、仮端子を選択・登録してグループを形成する処理と、その仮端子配置を行なうグループを選択する処理と、そのグループに含まれる仮端子を配置したい領域を選択する処理と、グループに含まれる端子を配置する層を選択する処理とを行なう。グループを形成する時に選択・登録される仮端子は、そのブロックに含まれる仮端子の一群の中から選択される。一つの仮端子を複数のグループに同時に含むこ

とはできない。しかし、いずれのグループに含まれない端子が存在しても構わない。仮端子のグループを配置したい領域は、一つ以上の矩形で囲まれた範囲により指示されるものであり、さらに、その中から、ブロック境界線上のみを用いるか、内部の領域を使用するかを選択することができる。仮端子のグループを配置したい層については、集積回路を構成する層の中から選択するものであるが、一つ以上の層を選択することができる。また、複数の層を選択した時には、選択した順番に優先度が与えられるものとする。領域内に仮端子を配置する座標およびその時の使用層の選択は、後処理で自動的に行なわれる。

【0238】(h3)第3の仮端子位置決定手法では、前述した配置禁止領域設定部39の機能が用いられる。つまり、階層レイアウト設計を行なう際に、配置禁止領域設定部39により設定された禁止領域以外の領域に仮端子を配置しながら配線部32による配線処理が実行され、設計者の意図を反映しながら仮端子を自動的に配置することができる。

【0239】配置禁止領域設定部39による禁止領域の設定手順を、図44に示すフローチャート(ステップS11~S17)に従って説明する。設計者は、仮端子を配置してはならない領域(層を含む)を指定することにより、仮端子を配置してはならない場所を明確に設定できる。まず、禁止領域設定処理を開始すると、設計者は、禁止領域(矩形)を表示部11上で指示し(ステップS41)、別な禁止領域を追加するか否かを判断し(ステップS42)、追加する場合には、ステップS41に戻る一方、追加しない場合には、指示した禁止領域内で仮端子の配置を禁止する層を選択する(ステップS43)。

【0240】この後、別な禁止層を追加するか否かを判断し(ステップS44)、追加する場合には、ステップS43に戻る一方、追加しない場合には、以上の手順により設定された禁止領域および禁止層を保存して(ステップS45)、禁止領域設定処理を終了する。以上のように、設計者は、ブロック(LSG)の仮端子を配置することを禁止する領域を選択する処理と、その領域内で仮端子の配置を禁止する層を選択する処理とを行なう。禁止領域は、一つ以上の矩形で囲まれた範囲により指示されるものであり、さらに、その中から、ブロック境界線上のみを禁止するか、内部の領域を禁止するかを選択することもできる(この選択処理は図44には図示せず)。禁止層については、集積回路を構成する層の中から選択するものであるが、一つ以上の禁止層を選択することができる。ここで指示された仮端子の配置禁止領域の情報は、後処理で参照される。

【0241】(h4)第4の仮端子位置決定手法では、前述した配置位置決定部40の機能が用いられる。そして、配線部32は、配置位置決定部40により決定され

た配置位置(ブロック境界上)に仮想ブロック端子を配置しながら複数のレイアウト階層ブロック間の配線処理を実行するようになっている。配置位置決定部40による第4の仮端子位置決定手法について、図45を参照しながら説明する。

【0242】ここでは、ブロックLSG1内のセル配置が完了している時(図45中の斜線部が配置完了セルを示す)に、セルの配置座標を考慮してレイアウト階層ブロックLSG1の仮端子の配置位置を決定する。まず、仮端子の配置位置を決定すべきブロックLSG1において、その仮端子に接続されるネットに繋がるセルのピン座標A、B、Cの重心Gを求める。なお、図45においてセルの接続関係が点線で示されている。また、図45中、DはLSG2内の接続先セルの位置を示している。

【0243】そして、重心Gの位置から仮端子に接続すべき他のレイアウト階層ブロックLSG2の方向へ延ばした直線が横切るブロックLSG1の辺Eを求め、その辺E上に仮端子を割り付ける。この時、他ブロックLSG2の方向へ延ばす直線としては、他ブロックLSG2において自ブロックLSG1の仮端子を接続すべき仮端子H2が既に配置されている時には、その仮端子H2の位置へ向かう直線L0を用いるが、他ブロックLSG2において仮端子H2が配置されていない時には、他ブロックLSG2の中心CTの位置へ向かう直線L2を用いる。

【0244】なお、当該ネットに3つ以上のブロックが接続される場合には、他のブロックに対する直線をベクトルとみなして合成し、その合成ベクトルが横切るブロックLSG1の辺E上に仮端子を割り付ける。上述のようにして仮端子を配置すべきブロック辺Eが決定したら、そのブロック辺Eに最も近いセル端子Aを求め、その端子Aの座標から垂直方向または水平方向に延ばした直線L1がブロック辺Eと交わる位置H1を、仮端子の配置位置として決定する。

【0245】なお、配線における優先配線方向が定められている時には、辺毎に仮端子を配置する配線層を選択する。また、上述のごとく求められた仮端子の配置位置H1が、既に他の端子配置に使用されている場合には、設計者によって定められた最低端子間距離を保つようにして、同じ辺上の隣接する未使用領域を探して仮端子の配置位置を決定する。

【0246】このようにして、設計者の意図を反映するとともにレイアウト階層ブロックLSG1内のセルの配置や配線を考慮しながら、仮端子を自動的に位置決めして配置することができる。

(h5)第5の仮端子位置決定手法も、前述した配置位置決定部40の機能を用いている。配置位置決定部40による第5の仮端子位置決定手法について、図46を参照しながら説明する。ここでは、相互に接続されるブロックLSG1~LSG3内のセル配置が完了している時

(図 4 6 中の斜線部が配置完了セルを示す)に、これら LSG1~LSG3 内のセルの配置座標を考慮してレイアウト階層ブロック LSG1~LSG3 の仮端子の配置位置を決定する。

【0247】まず、仮端子の配置位置を決定すべきブロック LSG1~LSG3 において、その仮端子に接続されるネットに繋がるセルのピン座標の重心 G、G1、G2 をそれぞれ求める。なお、図 4 6 においてセルの接続関係が点線で示されている。そして、各ブロック LSG1~LSG3 で求められた重心 G、G1、G2 間を、各

ブロック LSG1~LSG3 の境界にかかわらずスタイナー木 ST を作成して接続し、配線経路を予測する。

【0248】このスタイナー木 ST がブロック境界線を横切る点 P1~P3 を各ブロック LSG1~LSG3 の仮端子の配置位置として決定する。スタイナー木 ST の作成時には、各ブロック LSG1~LSG3 の仮端子数に応じて各ブロック LSG1~LSG3 内での分岐が可能か否かの条件を加える。ブロック内での分岐が可能な場合には、そのブロック内でスタイナー木を分岐させ

て、ブロック仮端子を複数の方向に配置することが可能である。また、ブロックブロック内での分岐が不可能な場合には、図 4 6 に示すように、ブロック LSG1~LSG3 の相互間の領域を用いて分岐するようにスタイナー木 ST を作成する。

【0249】このようにして、第 5 の仮端子位置決定手法によっても、設計者の意図を反映するとともにレイアウト階層ブロック LSG1 内のセルの配置や配線を考慮しながら、仮端子を自動的に位置決めして配置することができる。

(i) 本実施例のバンプ付回路の設計時におけるバンプおよび入出力回路の位置決定手法の説明

次に、本実施例のバンプ付回路の設計時におけるバンプおよび入出力回路の位置決定手法 (i1)、(i2) について、図 4 7~図 4 9 を参照しながら説明する。

【0250】まず、図 4 7 (a)、(b) により、バンプ付回路の一例について説明する。図 4 7 (a)、(b) に示すように、近年、LSI 本体 (チップ) 61 の表面に入出力端子としてのバンプ (球状端子) 62 を並べる方式を採用した、バンプ付 LSI 60 が普及してきている。以下には、このようなバンプ付 LSI 60 の回路設計を階層レイアウト設計により行なう際に、バンプ 62 の位置とそのバンプ 62 に接続されるチップ 61 上の入出力回路の位置を決定するための手法について説明する。

【0251】(i1) 第 1 の位置決定手法では、前述した配置可能位置決定部 41 の機能が用いられる。この手法は、チップ表面に信号端子の配置可能座標が予め定められている時に、信号をそれらの座標中から最適な場所に割り付けるためのもので、個別に実装されたブロック (LSG) 内部の入出力回路の座標と、そのブロックが

チップ内で占める座標とから、最も近い信号端子配置可能座標を選択して入出力端子座標とするものである。

【0252】この第 1 の位置決定手法について、図 4 8 を参照しながら説明する。図 4 8 において、「○」はチップ入出力端子 (バンプ) の位置を示し、一点鎖線で囲まれた矩形の範囲はレイアウト階層ブロックを示している。図 4 8 に示すように、第 1 の位置決定手法では、ブロック LSG1 において、チップ入出力端子 (バンプ) に配線接続されるべき入力回路 I1 および出力回路 O1 の設計対象回路上での配置位置が既に決定している場合、この第 1 の位置決定手法では、配置可能位置決定部 41 により、入力回路 I1 および出力回路 O1 のピン位置に最も近い入出力端子配置可能位置が求められる。

【0253】つまり、チップ内部領域に配置された入出力回路 I1、O1 とチップ入出力端子との配線距離が短くなるように、チップ入出力端子の配置座標が決定される。図 4 8 に示す例では、入力回路 I1 については位置 B1 が入出力端子配置可能位置として決定され、出力回路 O1 については位置 B2 が入出力端子配置可能位置として決定されている。

【0254】具体的には、設計者により指定された領域内にある入出力回路を検出し、その入出力回路内でチップ入出力端子に接続される端子の座標を求める。そして、その端子座標から、最寄り度かつ未使用のチップ入出力端子配置可能位置を求める。以上のようにして、配置可能位置決定部 41 によって、指示された領域内の全ての入出力回路に対してチップ入出力端子の仮割付を終了すると、入出力回路とチップ入出力端子との間の総配線長が最短になるように割付を改善する。

【0255】このように、バンプ付 LSI 等の回路を階層レイアウト設計により設計する際に、入出力端子と入出力回路とがそれぞれ異なるレイアウト階層ブロックに属していても、入出力端子と入出力回路のピンとの間を制限値以内の配線長で配線でき、確実に階層レイアウト設計を行なうことができる。

(h2) 第 2 の位置決定手法では、前述した制限領域設定部 42 の機能が用いられる。この手法は、チップ表面に信号端子の配置を行なった後で個々のブロック (LSG) 内部を実装する時に、入出力回路を端子から一定の距離以内に配置するもので、信号端子配置座標をブロック内部の座標に変換して、その座標から求めた配置制限範囲を入出力回路の配置制限データとするものである。また、この配置制限データは、会話型配置の際には表示部 11 の画面上に表示され、マニュアル作業時の配置目安にもなる。

【0256】この第 2 の位置決定手法について、図 4 9 を参照しながら説明する。図 4 9 において、「○」はチップ入出力端子 (バンプ) の位置を示し、一点鎖線で囲まれた矩形の範囲はレイアウト階層ブロックを示し、実線で囲まれた矩形 F1 の範囲は、後述する制限領域を示

10

20

30

40

50

している。図 49 に示すように、第 2 の位置決定手法では、チップ入出力端子（パンプ）の設計対象回路上での配置位置 B0 が既に決定され、その端子に対して信号が割り付けられている場合に、制限領域設定部 42 の機能により、入出力回路の配置を制限する。制限する領域は、チップ入出力端子と入出力回路の端子（ピン）との間の距離が、設計者により定められた（入力部 13 から入力された）所定値以下となるように決められる。

【0257】また、制限領域設定部 42 により設定された制限領域は、素子の配置基準点を配置する領域を制限するものとし、従って、素子配置基準点と端子との位置関係により制限する領域は異なっている。制限領域は、図 49 に示すように、単純な矩形 F1 で表現されるが、実際の配置制限領域は、その矩形 F1 内に作成可能な最大の菱形 F2 になる。

【0258】このようにして、第 2 の位置決定手法によっても、入出力端子と入出力回路のピンとの間を制限値以内の配線長で配線でき、確実に階層レイアウト設計を行なうことができる。なお、本発明の会話型回路設計装置は、LSI 等の集積回路のみならず、プリント基板等の回路設計を行なう場合にも同様に適用され、上記実施例と同様の作用効果を得ることができる。

【0259】

【発明の効果】以上詳述したように、本発明の会話型回路設計装置によれば、以下のような効果ないし利点を得ることができる。

(1) 信号波形鈍りを考慮しながらディレイ計算処理やバストレーズ処理を行なうことができるので、正確なディレイ計算を高速に行なえる（請求項 1, 5, 6）。

【0260】(2) 論理設計後で実装的な配置を行なう前に設計対象回路の配線バスについてのディレイ値を予測することで、論理設計の段階でディレイ計算結果が回路設計に反映されるので、より微細化し集積度の高い回路の設計を、極めて効率よく行なえる（請求項 2）。

(3) 実装的な配置を行なった後で配線を行なう前には、接続すべきピン間の最短経路に基づいてディレイ値を見積もり（請求項 3）、実配線後には実配線結果に基づいてディレイ値を算出することで（請求項 4）、レイアウト設計の各段階でディレイ計算結果を配置設計や配線設計に反映されるので、ディレイ値を常に考慮しながら回路設計を行なうことができる。

【0261】(4) クロック系からのクロック信号を受けて動作する膨大な数の論理構成要素間の全ての組合せの配線バスに対し、網羅的に且つ自動的にクロックタイミングチェックを行なうことができるので、全配線バスに対するタイミングチェックを容易かつ確実にこなせる（請求項 7, 9）。

(5) 非同期のクロック信号で動作する配線バスについて同時にクロックタイミングチェックすることができるほか、ディレイ値を任意のピンで初期化でき、タイミン

グチェックの効率化やバス計算（ディレイ計算）のコントロール等を実現できる（請求項 8）。

【0262】(6) ピン毎にそなえたカウンタによりトレース回数を計数することで、設計者は、ディレイ改善等に大きな影響を及ぼすピンを判別でき、その判別結果を、配置や配線の改善についての優先順位決定の目安とすることができる（請求項 10, 11）。

(7) 設計者が必要とする範囲についてのみトレース処理およびディレイ計算処理の実行および表示を行なうことで、必要とする部分のデータのみが迅速に得られ、回路設計を効率化できる（請求項 12）。

【0263】(8) 入力部からのトレース対象ピンの指定の仕方に応じて 3 種類のトレース手法のうちの適当なものが自動的に選択され、バストレーズ部の動作が切換制御される（請求項 13, 14）。

(9) トレーズ結果およびディレイ計算結果が、表示部上で、ソートされたリストとして、あるいは階層的に、あるいはグラフとして表示されるので、設計者は、そのトレース結果やディレイ計算結果を表示部上の表示から容易に把握して回路設計に際しての各種判断（例えば配置や配線の改善箇所の決定等）を直ちに行なうことができるので、回路設計の簡易化・効率化に寄与できる（請求項 15～23）。

【0264】(10) 設計対象回路の詳細部分も全体像も同時に把握可能な表示を表示部上で実現できるので、設計者は、表示部上の表示から設計対象回路の配線接続状況を容易に把握できるので、回路設計の簡易化・効率化に寄与できる（請求項 24～27）。

(11) 配線の状態（混雑度）の予測結果もしくは配線対象ネットのディレイに対するクリティカル度に応じた、配線順序や迂回率に従って、実配線を行なうことができるので、配線効率を大幅に向上できる（請求項 28～31, 33, 34）。

【0265】(12) 配線方向および配線長さに応じて複数の配線層の中から選択した配線層に対して実配線を行なうことにより、各配線層を有効に利用でき、配線効率の向上に寄与できる（請求項 32）。

(13) オーバラップ配置やリザーブ領域への配置等の配置エラーが生じた場合に、その配置エラーの発生状況が表示部上で明確化されるので、設計者は、配置エラーの発生を直ちに認識し、再配置等の処理によって配置エラーを容易かつ確実に回避することができる（請求項 35, 36）。

【0266】(14) 既に配線済のネットに対して指定配線長を加えた再配線を、入力部からの指示に応じて自動的に行なえるので、再配線処理を簡易化でき、設計者に対する負担を大幅に軽減することができる（請求項 37, 38）。

(15) 既に配置した論理構成要素の再配置を行なう場合、その論理構成要素に繋がるべきネットが既に配線済

10

20

30

40

50

であれば、再配置後の当該論理構成要素と当該ネットとの間の再配線が自動的に行なわれるので、設計者が再配置後の再配線処理を行なう必要がなく再配置処理を簡易化でき、設計者に対する負担を大幅に軽減することができる（請求項 39）。

【0267】(16) 1つの配置マップ上で配置処理や配線処理を行なった場合でもその処理を他の配置マップに連携させて表示することができるほか、複数の配置マップを同時に使用して配置処理や配線処理を行なえるので、設計者の混乱を招くことのないマルチウインドウ表示を実現できるとともに、マルチウインドウ表示を利用して効率よい回路設計を行なうことができる（請求項 40）。

【0268】(17) 階層レイアウト設計を行なう際に、設計者の意図を反映するとともにレイアウト階層ブロック内の論理構成要素の配置や配線を考慮して、仮想ブロック端子を自動的に配置できるので、設計者に対する負担を大幅に軽減しながら階層レイアウト設計を行なうことができる（請求項 41～45）。

(18) チップ表面に入出力端子をもつ回路の階層レイアウト設計を行なう場合に、入出力端子と入出力回路とがそれぞれ異なるレイアウト階層ブロックに属していても、入出力端子と入出力回路のピンとの間を制限値以内の配線長で配線でき、確実に階層レイアウト設計を行なうことができる（請求項 46、47）。

【0269】上述したように、本発明の会話型回路設計装置によれば、高速で正確なディレイ計算、全配線バスに対するタイミングチェック、設計対象回路の詳細部分も全体像も同時に且つ明確に把握可能な表示、配線効率の向上、配置エラーの発生状況の明確化、再配線処理や再配線処理の簡易化／自動化、混乱を招くことのないマルチウインドウ表示等が実現されるので、設計者に対する負担を大幅に軽減しながら、LSI等の集積回路やプリント板の回路設計を簡易化かつ高速化することができるのである。

【図面の簡単な説明】

【図 1】本発明の一実施例としての会話型回路設計装置の構成を示すブロック図である。

【図 2】本実施例のスピード解析部の機能的な構成を示すブロック図である。

【図 3】本実施例のレイアウト設計部の機能的な構成を示すブロック図である。

【図 4】入力波形純りとバスディレイ値との関係を示すグラフである。

【図 5】入力波形純りを考慮したディレイ計算について説明するためのブロック図である。

【図 6】入力波形純りに応じたゲートバスディレイ値の設定変更例を説明するためのブロック図である。

【図 7】本実施例のクロックタイミングチェック手法を説明するためのブロック図である。

【図 8】本実施例のクロックタイミングチェック手法を説明するためのブロック図である。

【図 9】クロックサイクルの異なるクロック系のタイミングチェックを同時に行なう手法を説明するためのブロック図である。

【図 10】本実施例のトレース処理結果およびディレイ計算結果のリスト表示例を示す図である。

【図 11】トレース処理結果およびディレイ計算結果のリストをピン名でソートした例を示す図である。

【図 12】トレース処理結果およびディレイ計算結果のリストをアップ側ディレイ値の大きい順にソートした例を示す図である。

【図 13】トレース処理結果およびディレイ計算結果のリストをダウン側ディレイ値の大きい順にソートした例を示す図である。

【図 14】本実施例のトレース処理結果およびディレイ計算結果のリストの階層表示例を示す図である。

【図 15】本実施例の配線バスの到達経路表示例を示す図である。

【図 16】本実施例の配線バスの到達経路表示のファイル出力時の形式を示す図である。

【図 17】本実施例における到達経路に対応する実回路部分の強調表示例を示す図である。

【図 18】本実施例における到達経路上の特定セルの実回路上での強調表示例を示す図である。

【図 19】本実施例の配線バスの本構造表示例を示す図である。

【図 20】本実施例の詳細情報表示例を示す図である。

【図 21】局所的に密度の異なる特徴点の全体表示例を示す図である。

【図 22】高密度部分の特徴点を拡大表示した例を示す図である。

【図 23】本実施例の順序置換による座標変換後の特徴点の全体表示例を示す図である。

【図 24】局所的に密度の異なる回路設計対象の表示例を示す図である。

【図 25】本実施例の順序置換による座標変換後の回路設計対象の表示例を示す図である。

【図 26】(a)、(b)はワイヤおよびピンからの特徴点の取出例を説明するための図である。

【図 27】(a)～(c)は特徴点としてワイヤの両端点とピンの4頂点とを取り出して順序置換による座標変換を行なった場合の表示例を示す図である。

【図 28】(a)、(b)は特徴点としてワイヤの両端点および内分点とピンの4頂点とを取り出して順序置換による座標変換を行なった場合の表示例を示す図である。

【図 29】本実施例の順序置換による座標変換を施した回路設計対象に、さらに配線層に応じたオフセットを加算した場合の表示例を示す図である。

【図30】本実施例の混雑度マップを示す図である。

【図31】(a)、(b)は本実施例の迂回率決定例を示す図である。

【図32】(a)、(b)は配線層毎の混雑度に応じた配線優先順位を説明するための図である。

【図33】本実施例による配線手法の一例を説明するための図である。

【図34】本実施例の配線禁止データの設定例を示す図である。

【図35】(a)、(b)は本実施例のエラーセル一覧リストおよび配置マップ表示例を示す図である。

【図36】(a)、(b)は本実施例の広域的再配線処理を説明するための図である。

【図37】(a)、(b)は本実施例の局所的再配線処理を説明するための図である。

【図38】本実施例の再配置処理手順を説明するためのフローチャートである。

【図39】本実施例のマルチウインドウ表示機能を説明するための図である。

【図40】本実施例のマルチウインドウ表示機能を説明するための図である。

【図41】本実施例における第1の仮端子位置決定手法の手順を説明するためのフローチャートである。

【図42】本実施例の配置領域の指示例を示す図である。

【図43】本実施例における第2の仮端子位置決定手法の手順を説明するためのフローチャートである。

【図44】本実施例における第3の仮端子位置決定手法の手順を説明するためのフローチャートである。

【図45】本実施例における第4の仮端子位置決定手法の手順を説明するための図である。

【図46】本実施例における第5の仮端子位置決定手法の手順を説明するための図である。

【図47】(a)、(b)はそれぞれバン付LSIの側面図および裏面側からの斜視図である。

【図48】バン付回路設計時の本実施例における第1の位置決定手法を説明するための図である。

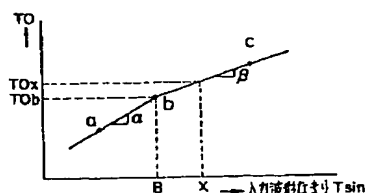
【図49】バン付回路設計時の本実施例における第2の位置決定手法を説明するための図である。

*【符号の説明】

- 10 データベース
- 11 表示部
- 12 表示制御部
- 13 入力部
- 14 論理設計部
- 15 レイアウト設計部
- 16 スピード解析部
- 17 CPU
- 18 外部ファイル書込部
- 19 印字部
- 21 ディレイ計算部(スピード解析部本体)
- 22 バストレース部
- 23 タイミングチェック部
- 24 フラグ設定部
- 25 ディレイ値設定部
- 26 サーチ部
- 27 カウンタ
- 28 範囲設定部
- 29 トレース制御部
- 30 モード設定部
- 31 配置部(レイアウト設計部本体)
- 32 配線部(レイアウト設計部本体)
- 33 配線経路予測部
- 34 混雑度計算部
- 35 配線可能性判定部
- 36 配置チェック部
- 37 配置領域設定部
- 38 グルーピング部
- 39 配置禁止領域設定部
- 40 配置位置決定部
- 41 配置可能位置決定部
- 42 制限領域設定部
- 51 エラーセル一覧リスト
- 52 配置マップ
- 60 バン付LSI
- 61 LSI本体(チップ)
- 62 バン(入出力端子、球状端子)

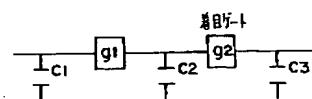
【図4】

入力波形状りとバスレイアウトとの関係を示すグラフ



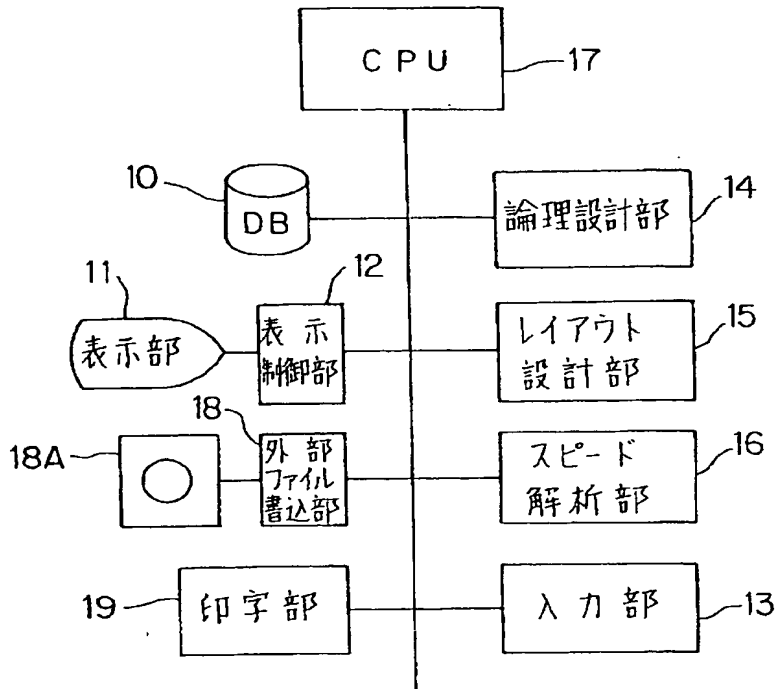
【図5】

入力波形状りと考慮した遅延計算について説明するためのブロック図



【図1】

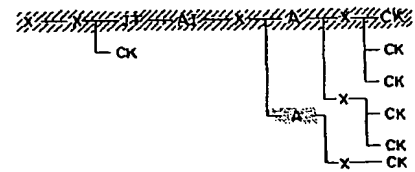
本発明の一実施例としての会話型回路設計装置の構成を示すブロック図



【図6】

【図19】

本実施例の配線バスの本構造表示例を示す図



【図20】

本実施例の詳細情報表示例を示す図

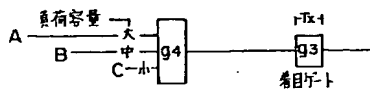
Pin	: A
Cell	: DIS22
Macro	: OIK2F
Net	: —
Delay	: 1229.89, 996.97
Tsin	: 105.87, 98.67

From	: X
Pin	: X
Cell	: DIS11
Macro	: OIKDX3
Net	: I_CLK
Delay	: 1226.66, 994.85
Tsin	: 105.87, 98.67

To	: X
Pin	: X
Cell	: DIS22
Macro	: OIK2F
Net	: -DIS220
Delay	: 1256.45, 1000.21
Tsin	: 105.87, 98.67

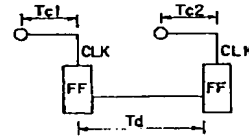
【図7】

入力波形メモリに記憶したゲートバスレイアウト値の設定変更例を説明するためのブロック図



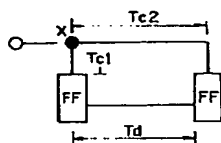
【図8】

本実施例のクロックタイミングチェック手法を説明するためのブロック図



【図11】

本実施例のクロックタイミングチェック手法を説明するためのブロック図

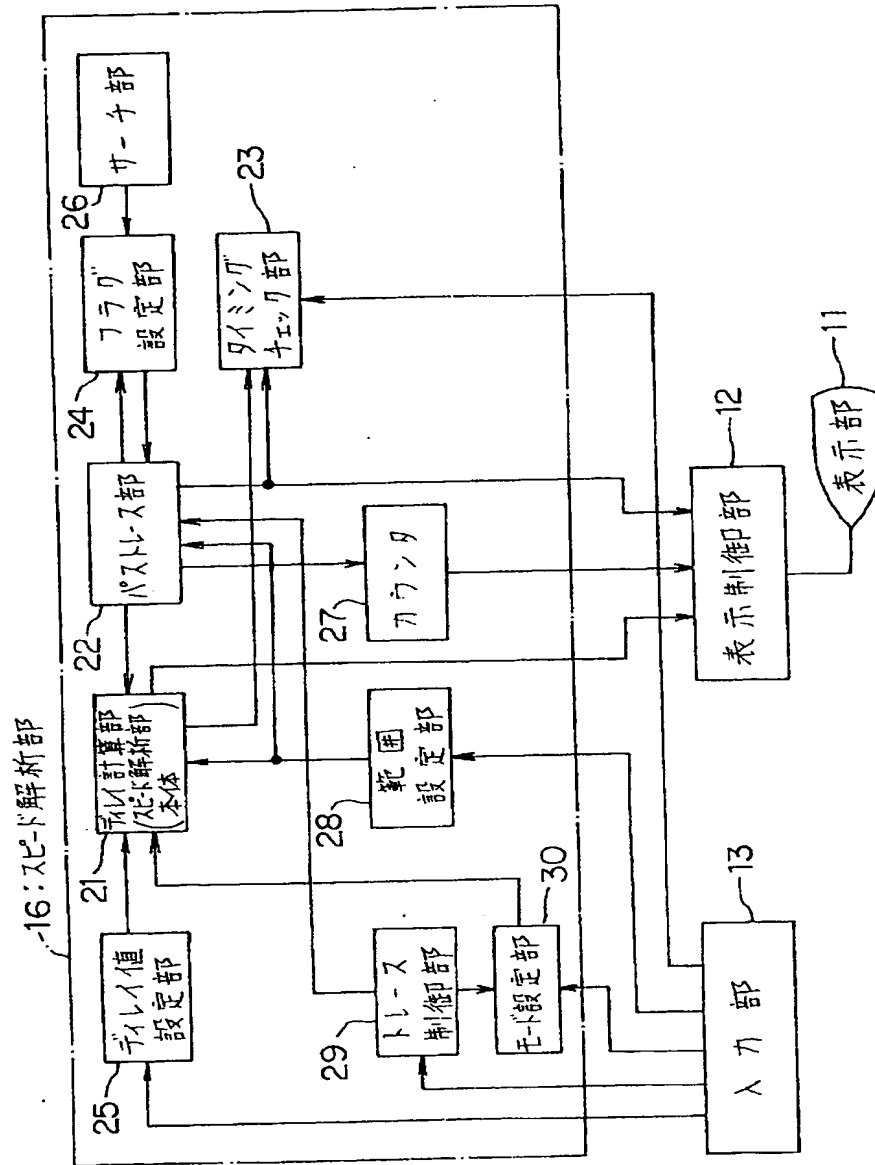


トリス処理結果およびレイアウト計算結果のリストをピン名でソートした例を示す図

No.	UpDelay [ps]	DnDelay [ps]	Pin Name
1.	1666.47	1752.58	ADD_BUF<5>.CK
2.	1665.78	1761.79	ADD_BUF<7>.CK
3.	1746.75	1807.73	ADDR_BUF<5>.CK
4.	1618.76	1709.81	SUB_BUF<5>.CK
5.	1555.21	1436.43	SUB_BUF<1>.CK
⋮	⋮	⋮	⋮

【図2】

本実施例のスピード解析部の機能的な構成を示すブロック図



【図14】

本実施例のトリース処理結果および遅延計算結果のリストの階層表示例を示す図

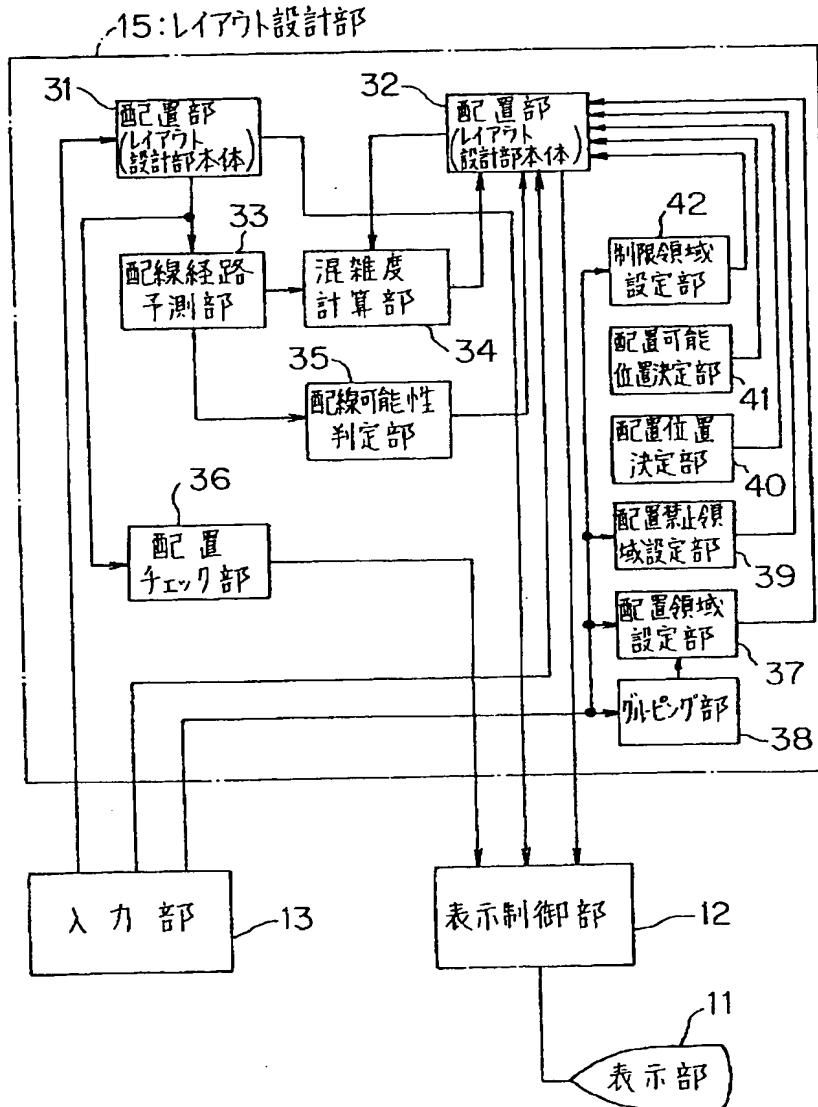
NQ	UpDelay [ps]	DrDelay [ps]	Pin Name
1~20	1746.75~555.21	1807.73~1436.43	ADD_BUF (4) CK-
20~40	1554.63~1332.43	1423.45~1298.67	SUB_BUF (4) CK-
⋮	⋮	⋮	⋮

【図 3】

【図 30】

本実施例のレイアウト設計部の機能的な構成を示すブロック図

本実施例の混雑度マップを示す図



9	10	21	13	14	23
11	1	2	22	25	24
12	3	4	17	5	30
27	19	20	26	6	29
18	7	8	15	16	28

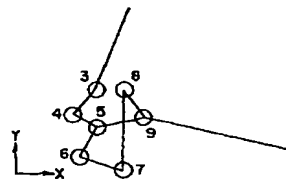
【図 12】

【図 22】

トレス処理結果およびレイアウト計算結果のリストをトップ側レイアウトの大きい順にソートした例を示す図

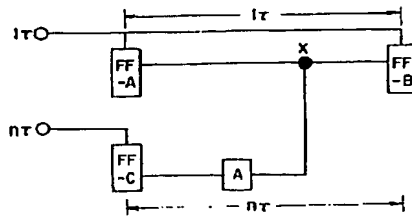
高密度部分の特徴点を拡大表示した例を示す図

No.	UpDelay [ps]	DrDelay [ps]	Pin Name
1.	1746.75	1807.73	ADDR_BUF<0>.CK
2.	1666.47	1752.58	ADD_BUF<6>.CK
3.	1665.78	1761.79	ADD_BUF<7>.CK
4.	1618.76	1709.81	SUB_BUF<0>.CK
5.	1555.21	1436.43	SUB_BUF<1>.CK
⋮	⋮	⋮	⋮



【図 9】

リロクサイクルの異なるリロク系のタイミングエラーを同時に行なう手法を説明するためのブロック図



【図 13】

トリス処理結果およびデレイ計算結果のリストをダウン側デレイ値の大きい順にソートした例を示す図

No.	UpDelay [ps]	DnDelay [ps]	Pin Name
1.	1746.75	1807.73	ADDR_BUF<8>.CK
2.	1666.47	1761.79	ADD_BUF<7>.CK
3.	1666.78	1752.58	ADD_BUF<6>.CK
4.	1618.76	1709.81	SUB_BUF<0>.CK
5.	1555.21	1436.43	SUB_BUF<1>.CK
⋮	⋮	⋮	⋮

【図 16】

本実施例の配線パスの到達経路表示のファイル出力時の形式を示す図

```

パッド名 (マリア) ネット名 フォンポート / ネット名 (UpDelay/UpGain/ DnDelay/DnGain)
Pad_Clk_X 0 C01EVRM2 1/O=1 0.00/ 3.00/* 0.00/ 3.00/
IBUF_Clk_X 0 C01EVRM2 1/O=1 14.66/ 3.00/* 169.02/ 3.00/
IBUF_Clk_X 0 C01EVRM2 1/O=1 63.04/ 3.00/* 681.47/
DIS11_A1 0 C01K0X3 1/O=4 1226.66/ 105.67/ 994.85/ 98.67/*
DIS11_X 0 C01K0X3 1/O=4 1226.66/ 105.67/ 994.85/ 98.67/*
DIS21_A 0 C01K11W 1/O=4 1489.08/ 42.32/* 1563.29/ 43.73/
DIS21_X 0 C01K11W 1/O=4 1489.08/ 42.32/* 1563.29/ 43.73/
ADD_BUF<0>.CK C01STF2 1/O=4 1671.75/ 47.88/* 1985.11/ 73.24/
  
```

注) *はエッジを表す

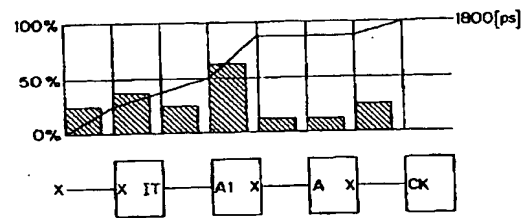
【図 10】

本実施例のトリス処理結果およびデレイ計算結果のリスト表示例を示す図

No.	UpDelay [ps]	DnDelay [ps]	Pin Name
1.	1746.75	1807.73	ADDR_BUF<8>.CK
2.	1666.47	1752.58	ADD_BUF<6>.CK
3.	1666.78	1761.79	ADD_BUF<7>.CK
4.	1618.76	1709.81	SUB_BUF<0>.CK
5.	1555.21	1436.43	SUB_BUF<1>.CK
⋮	⋮	⋮	⋮

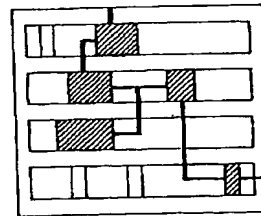
【図 15】

本実施例の配線パスの到達経路表示例を示す図



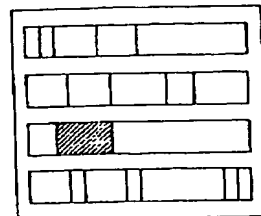
【図 17】

本実施例における到達経路に対して実回路部分の強調表示例を示す図



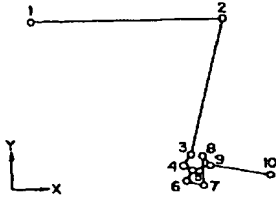
【図 18】

本実施例における到達経路上の特定セルの実回路上的強調表示例を示す図



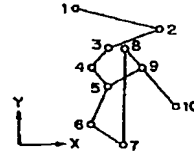
【図 21】

局所的に密度の異なる特徴点の全体表示例を示す図



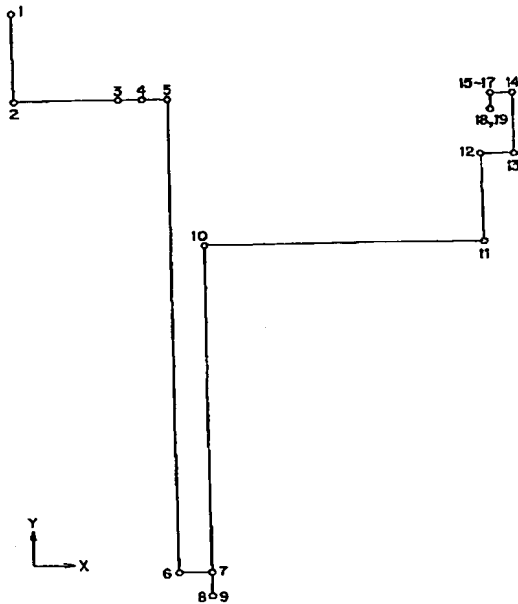
【図 23】

本実施例の順序置換による座標変換後の特徴点の全体表示例を示す図



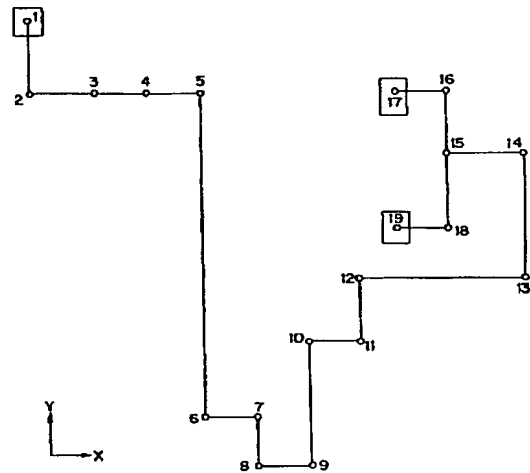
【図 24】

局所的に密度の異なる回路設計対象の表示例を示す図



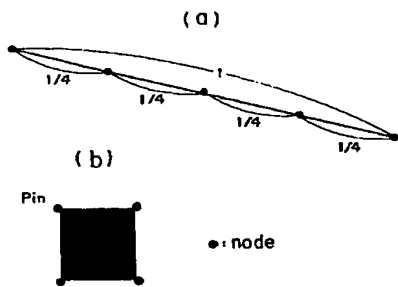
【図 25】

本実施例の順序置換による座標変換後の回路設計対象の表示例を示す図



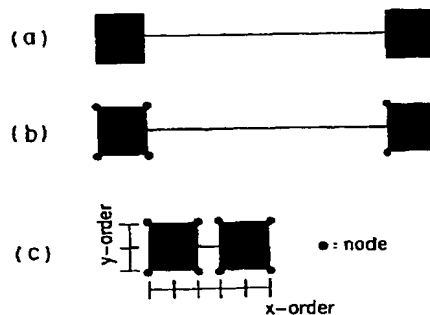
【図 26】

ワイヤおよびピンからの特徴点の取出し例を説明するための図



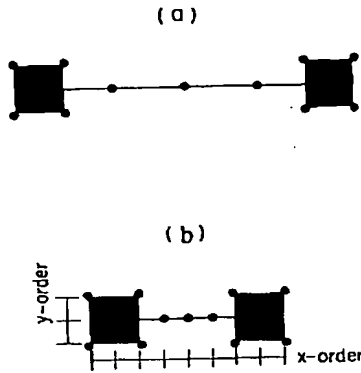
【図 27】

特徴点としてワイヤ両端点とピン4頂点とを取り出して順序置換による座標変換を行った場合の表示例を示す図



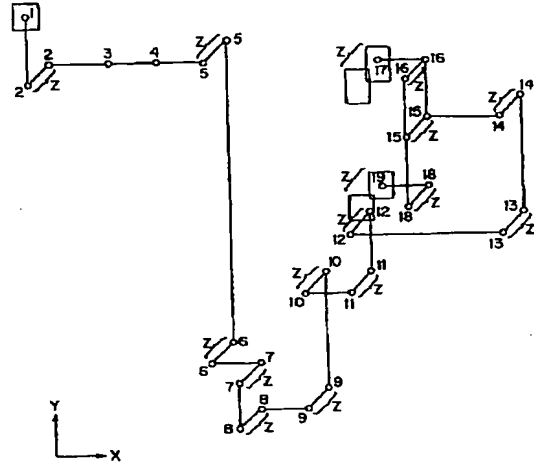
【図 2 8】

特徴点としてワイヤの両端点および内分点とピン4 頂点とを取り出して
順序置換による座標変換を行なった場合の表示例を示す図



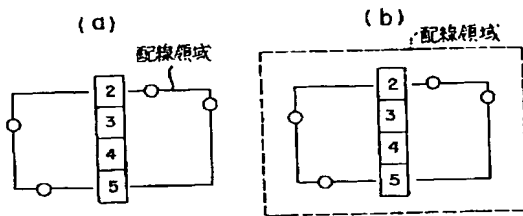
【図 2 9】

本実施例の順序置換による座標変換を施した回路設計対象に、
さらに配線層に応じたオフセットを加算した場合の表示例を示す図



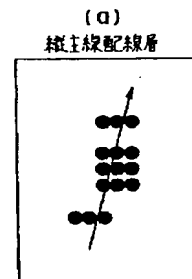
【図 3 1】

本実施例の迂回率決定例を示す図



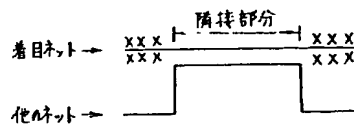
【図 3 2】

配線層毎の混雑度に応じた配線優先順位を説明するための図



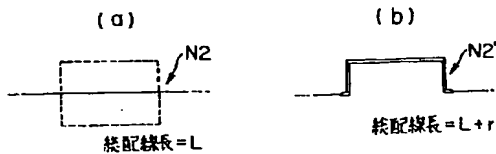
【図 3 4】

本実施例の配線禁止セグメントの設定例を示す図



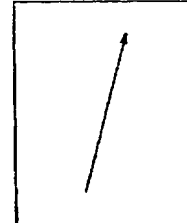
【図 3 7】

本実施例の局所的再配線処理を説明するための図



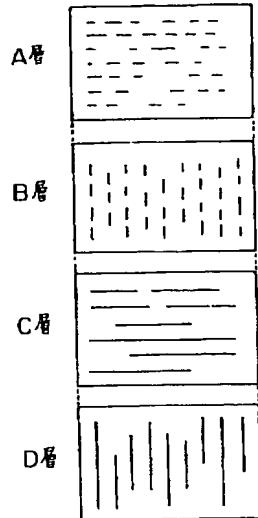
(b)

横主線配線層



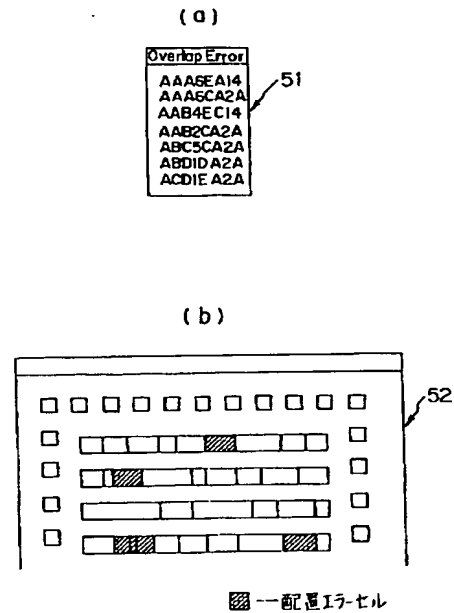
【図33】

本実施例による配線手法の一例を説明するための図



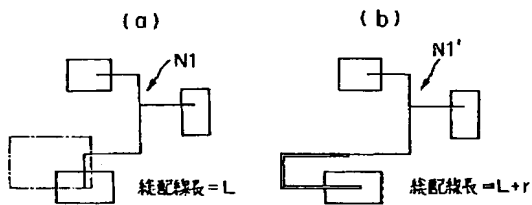
【図35】

本実施例のエラーセル一覧リストおよび配置マップ表示例を示す図



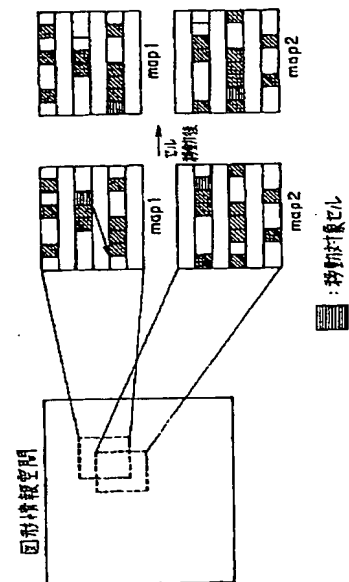
【図36】

本実施例の広域的再配線処理を説明するための図



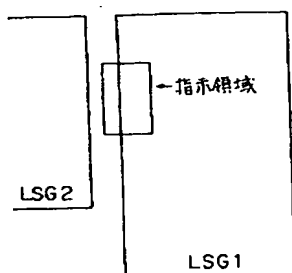
【図39】

本実施例のマルチライン表示機能を説明するための図



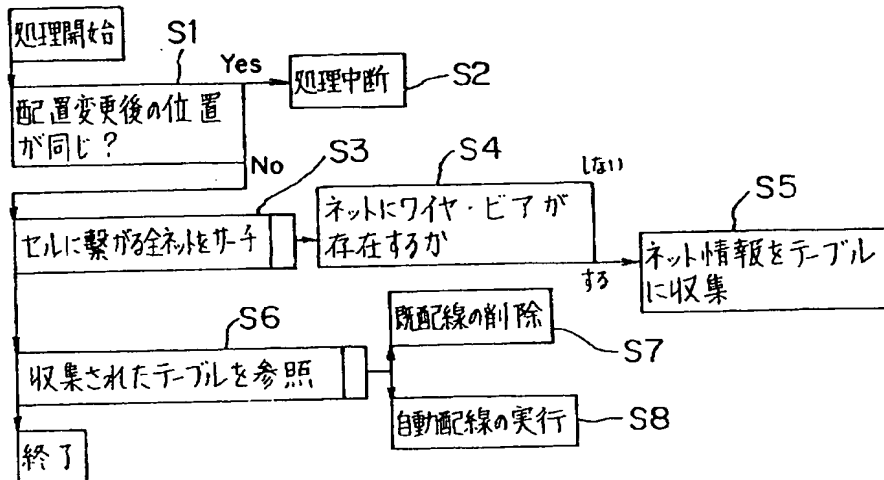
【図42】

本実施例の配置領域の指示例を示す図



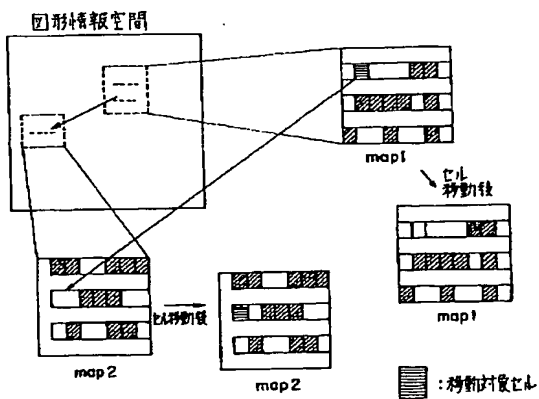
【图 38】

本実施例の再配置処理手順を説明するためのフローチャート



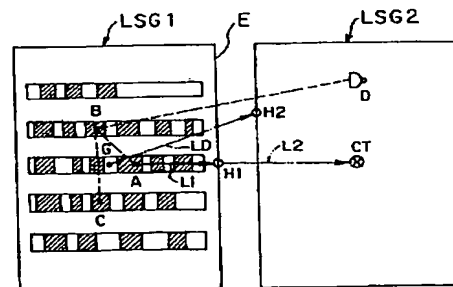
【図40】

本実施例のマルチウインドウ表示機能を説明するための図



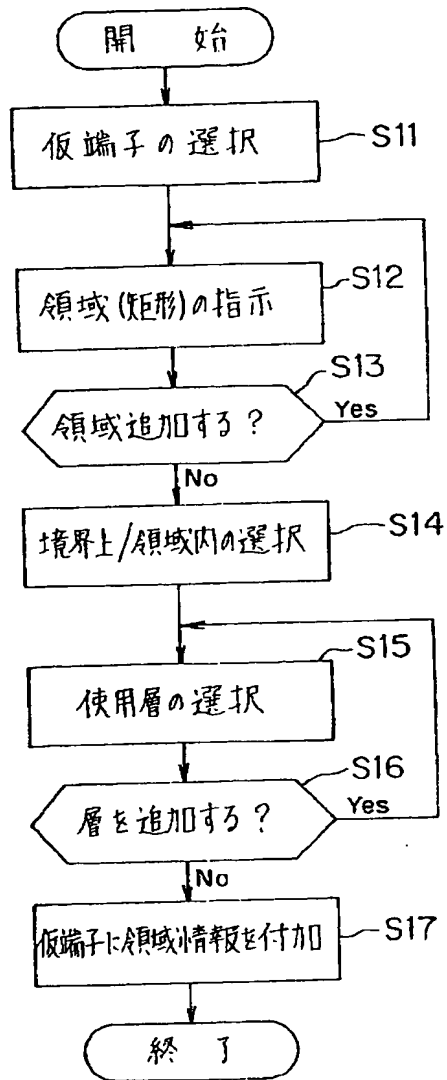
【圖 45】

本実施例における第4の仮端子位置決定手法の手順を説明するための図



【図 4 1】

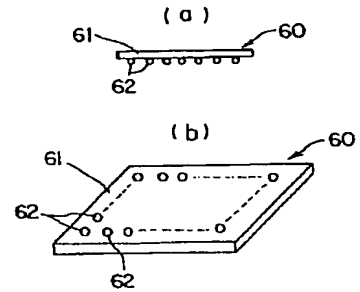
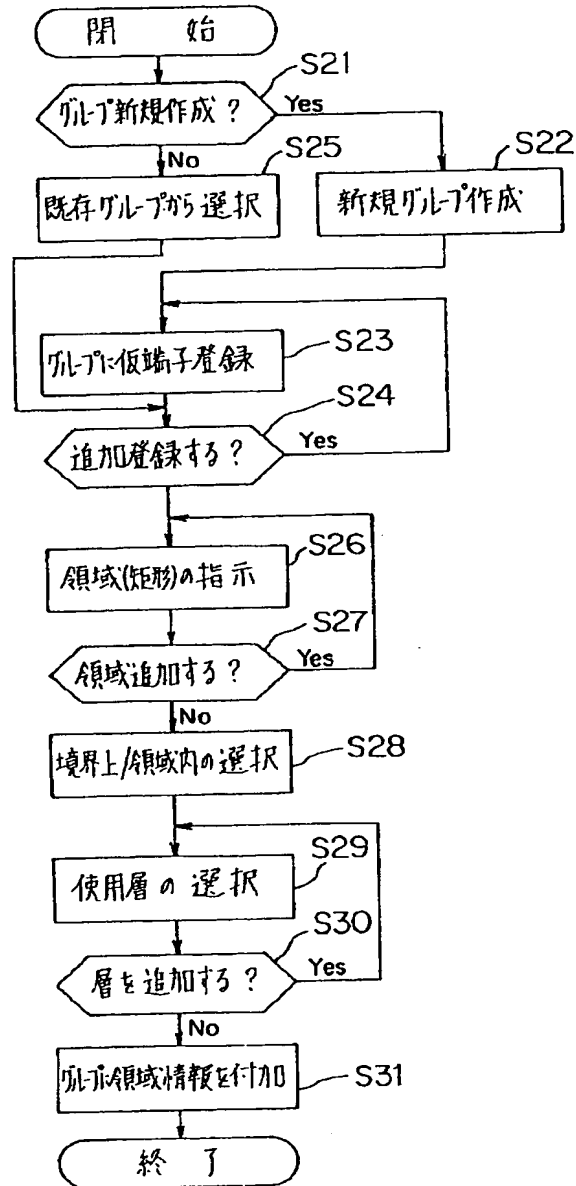
本実施例における第 1 の仮端子位置決定手法の手順を説明する
ためのフローチャート



【図43】

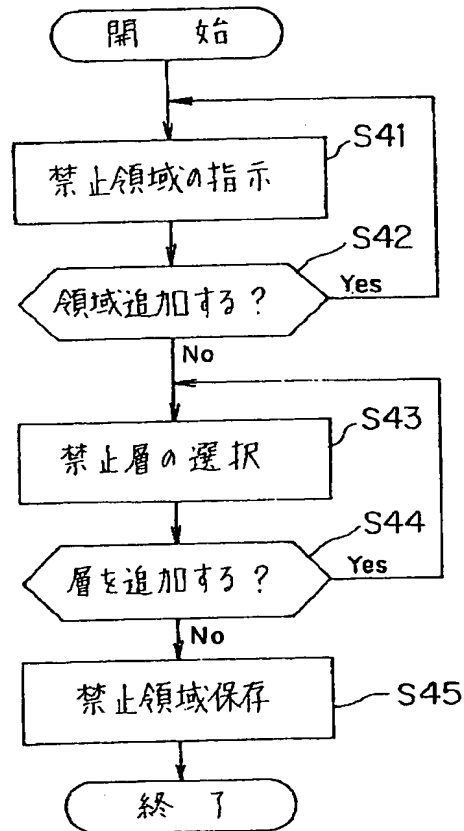
【図47】

本実施例における第2の仮端子位置決定手法の手順を説明するためのフローチャート



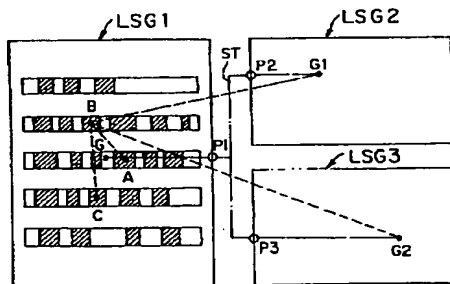
【図 44】

本実施例における第 3 の仮端子位置決定手法の手順を説明するためのフローチャート



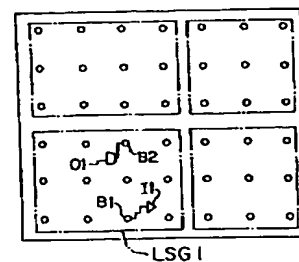
【図 46】

本実施例における第 5 の仮端子位置決定手法の順序を説明するための図



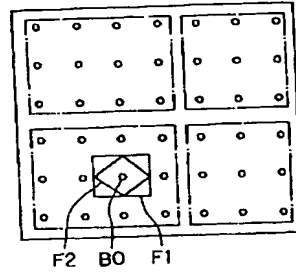
【図 48】

パンチ回路設計時の本実施例における第 1 の位置決定手法を説明するための図



【図 4 9】

パンフ付回路設計時の本実施例における第 2 の位置決定手法を
説明するための図



フロントページの続き

(72)発明者 伊藤 則之
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(72)発明者 山下 良一
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(72)発明者 今野 正
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(72)発明者 阿部 泰典
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(72)発明者 備前 直美
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(72)発明者 丸山 晃靖
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(72)発明者 加藤 嘉之
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(72)発明者 磯村 知之
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(72)発明者 池田 弘
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(72)発明者 高木 美紀
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.